

(Translation)

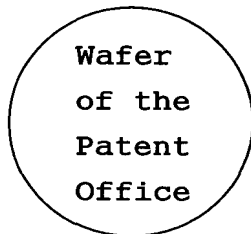
PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : July 3, 2002

Application Number : Patent Appln. No. 2002-195025

Applicant(s) : SHARP KABUSHIKI KAISHA



May 9, 2003

Shinichiro OTA

Commissioner,
Patent Office

Seal of
Commissioner
of
the Patent
Office

Appln. Cert. No.

Appln. Cert. Pat. 2003-3034210

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月 3日

出 願 番 号
Application Number:

特願2002-195025

[ST.10/C]:

[JP2002-195025]

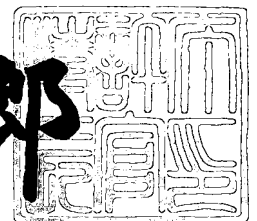
出 願 人
Applicant(s):

シャープ株式会社

2003年 5月 9日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034210

【書類名】 特許願

【整理番号】 02J02110

【提出日】 平成14年 7月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/06

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 隅谷 憲

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100078282

 【弁理士】

 【氏名又は名称】 山本 秀策

【選任した代理人】

 【識別番号】 100062409

 【弁理士】

 【氏名又は名称】 安村 高明

【選任した代理人】

 【識別番号】 100107489

 【弁理士】

 【氏名又は名称】 大塩 竹志

【手数料の表示】

 【予納台帳番号】 001878

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208587

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 複数のメモリセルを有するメモリアレイと、
該メモリセルに書き込まれるデータを一時的に格納するページバッファ手段と

、
該ページバッファ手段から読み出されたデータの少なくとも一部をマスク可能なマスク手段とを備えている半導体記憶装置。

【請求項 2】 前記マスク手段は、複数種類のデータバス幅での書き込みに対応してデータの一部をマスク可能とされている請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記マスク手段は、前記ページバッファ手段からデータを読み出す際に、該ページバッファ手段からの読み出しが指定されたアドレスと、前記メモリセルへの書き込みが行われる先頭アドレスおよび最終アドレスのそれぞれとの大小を比較する比較手段を備え、該比較手段の比較結果に基づいて、データをマスクするか否かを判定する請求項 1 または請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記マスク手段は、前記ページバッファ手段からデータを読み出す際に、該ページバッファ回路からの読み出しが指定されたアドレスと、前記メモリセルへの書き込みが行われる先頭アドレスおよび最終アドレスのそれぞれとが一致するか否かを判定する一致検出手段を備え、該一致判定手段の判定結果に基づいて、データをマスクするか否かを判定する請求項 1 または請求項 2 に記載の半導体記憶装置。

【請求項 5】 前記マスク手段は、前記メモリセルへの書き込みが行われるデータの数をカウントするカウンタ手段を備え、該カウンタ手段のカウント結果に基づいて、データをマスクするか否かを判定する請求項 1 または請求項 2 に記載の半導体記憶装置。

【請求項 6】 前記マスク手段は、前記ページバッファ手段から読み出されたデータの一部をマスクする機能を不活性化する不活性化手段を備えている請求

項 1 ～ 請求項 5 のいずれかに記載の半導体記憶装置。

【請求項 7】 前記メモリセルは 3 種類以上の値をデータとして設定可能な多値メモリセルであり、複数のメモリセルから一度に読み出しを行うページモード読み出し手段を備えている請求項 1 ～ 請求項 6 のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、メモリセルに書き込まれるデータを一時的に格納するページバッファ手段を有する半導体記憶装置に関する。

【 0 0 0 2 】

【従来の技術】

半導体記憶装置において、メモリセルに対するデータ書き込みが比較的低速である場合には、メモリセルに書き込まれるデータを一時的に格納するページバッファ回路を設けて、メモリセルへのデータ書き込み速度に合わせてページバッファ回路からデータを読み出すように構成されたものが広く用いられている。このような半導体記憶装置の代表的なものとしては、例えばフラッシュメモリが挙げられる。

【 0 0 0 3 】

以下に、従来のフラッシュメモリにおいて、ページバッファ回路を利用したデータ書き込み動作について説明する。

【 0 0 0 4 】

図 9 は、従来のページバッファ回路を有するフラッシュメモリについて、書き込みに関係する部分の構成を示すブロック図である。

【 0 0 0 5 】

このフラッシュメモリ 5 0 0 は、制御バス 5 0 1、アドレスバス 5 0 2 およびデータバス 5 0 3 を介して外部との間で制御信号、アドレスおよびデータを入出力するようになっている。また、データ書き込みに携わる回路として、ユーザー・インターフェイス（以後、UI と称する）回路 5 1 0、ページバッファ回路 5

20、ライト・ステート・マシン（以後、WSMと称する）回路530、書き込み制御回路540、メモリアレイ550および読み出し回路560を有している。

【0006】

フラッシュメモリ500に対して、外部から制御バス501、アドレスバス502およびデータバス503を介して書き込み動作、書き込みアドレスおよびデータを指定する各種信号が供給されると、UI回路510によって指定された内容が解釈される。そして、UI回路510からページバッファ回路520に対して、メモリアレイ550に含まれるメモリセルに書き込まれる内容（書き込みデータ）を格納するように指示する制御信号が制御バス511を介して供給される。

【0007】

ページバッファ回路520では、制御バス511を介してUI回路510からの制御信号が供給されると、アドレスバス512を介して指定されるアドレスに対して、データバス513を介して指定されるデータが格納される。そして、ページバッファ回路520に全てのデータが格納されると、UI回路510からWSM回路530に対して、書き込み動作の開始を指示する制御信号が制御バス514を介して供給される。

【0008】

WSM回路530では、制御バス514を介してUI回路510からの制御信号が供給されると、WSM回路530からページバッファ回路520に対して、制御バス532およびアドレスバス535を介してデータの読み出しを指示する制御信号および読み出しアドレスが供給される。ページバッファ回路520では、これらの信号に従って、格納されているデータが読み出され、データバス521を介してWSM回路530に供給される。

【0009】

また、WSM回路530からメモリアレイ550に対しては、アドレスバス535および制御バス536を介してアドレスおよび制御信号が供給される。メモリアレイ550では、これらのアドレスおよび信号がデコーダによりデコードさ

れることによって、書き込み対象のメモリセルに対応するワード線とビット線とが選択され、所望のメモリセルが選択されて書き込みを実行するモードに設定される。

【 0 0 1 0 】

さらに、WSM回路 5 3 0 から書き込み制御回路 5 4 0 に対しては、ページバッファ回路 5 2 0 から読み出された内容（データ）および書き込みアドレスがデータバス 5 3 3 およびアドレスバス 5 3 5 を介して供給され、メモリアレイ 5 5 0 に含まれるメモリセルにデータを書き込むように指示する制御信号が制御バス 5 3 4 を介して供給される。

【 0 0 1 1 】

書き込み制御回路 5 4 0 では、データバス 5 3 3 を介して書き込みデータが供給され、制御バス 5 3 4 を介してWSM回路 5 3 0 からの制御信号が供給されると、メモリアレイ 5 5 0 に含まれるメモリセルのビット線バス 5 5 1 が制御されて、メモリアレイ 5 5 0 に含まれる書き込み対象のメモリセルに対して書き込み動作が行なわれる。

【 0 0 1 2 】

書き込み動作が行われた後、メモリセルが所望のしきい値電圧に到達したか否かを検証するベリファイ動作が必要である場合には、書き込み操作の後に、メモリセルからの読み出し動作が行われ、読み出し回路 5 6 0 によってビット線に流れる電流がセンスされてしきい値電圧が検証される。

【 0 0 1 3 】

このベリファイ動作において、WSM回路 5 3 0 からメモリアレイ 5 5 0 に対して、アドレスバス 5 3 5 および制御バス 5 3 6 を介してアドレスおよび信号が供給されることによって、書き込みが実行されたメモリセルが読み出しモードに設定される。また、読み出し回路 5 6 0 では、WSM回路 5 3 0 から制御バス 5 3 7 を介して信号が供給されると、メモリセルに格納されている内容（データ）の読み出しが行われ、その結果がデータバス 5 6 1 を介してWSM 5 3 0 に出力される。

【 0 0 1 4 】

そして、WSM回路530において、データバス533から供給される書き込み目標の内容（データ）と、データバス561から供給される現在の書き込み状況とが比較され、書き込み動作が完了しているか否かが確認される。その比較結果から、十分に書き込みが行われていると判断される場合には、そのメモリセルに対する書き込みが完了しているとみなされる。また、十分に書き込みが行われていないと判断される場合には、書き込みが不十分なメモリセルへの書き込み動作が再度行われる。

【0015】

UI回路510は、制御バス531から伝えられる書き込み状況を、デバイスの状態遷移判定に利用し、またデータバス503を介して外部に出力できる。

【0016】

フラッシュメモリ500においては、ページバッファ回路520に格納された全データのメモリアレイ550に対する書き込みが完了するまで、これらの一連の書き込み処理が繰り返して行われるようになっている。

【0017】

図10は、フラッシュメモリ500における書き込み処理手順を説明するためのフローチャートである。ここでは、フラッシュメモリ500のデータ書き込みが単一のデータバス幅で制御され、読み出し処理・書き込み処理ともに、そのデータバス幅で行なわれる場合を一例として説明する。なお、実際には、以下に説明する処理手順以外に、様々な設定、ベリファイ動作、電圧制御などが必要とされるが、書き込み処理に直接的に関係しないものについては、説明を省略している。

【0018】

まず、書き込み処理を実行する前に、ステップ7001において、メモリアレイを書き込みモードに設定する。フラッシュメモリでは、一般に、書き込み動作のために高電圧が必要とされるので、データを書き込む度に電圧設定をやり直す必要が無いように、予め高電圧に設定しておき、一連の書き込み処理が完了するまで、高電圧を保持して高速化を図ることが有効である。

【0019】

次に、ステップ7002では、フラッシュメモリの内部アドレスを、データ書き込みが行われる先頭アドレスに設定する。

【0020】

次に、ステップ7003では、ページバッファ回路に格納されたデータの読み出しを行う。

【0021】

次に、ステップ7004では、内部アドレスで示されるメモリセルに対して、ページバッファ回路に格納されたデータに従って、書き込み操作を行う。

【0022】

ステップ7005では、現在の内部アドレスが、データ書き込みが行われる最終アドレスであるか否かを判断し、最終アドレスである場合には、一連の書き込み処理を終了する。また、現在の内部アドレスが最終アドレスではない場合には、ステップ7006で内部アドレスをインクリメントなどの手段によって更新し、ステップ7003の処理に戻る。この処理ループが、最終アドレスへのデータ書き込みが完了するまで、繰り返される。

【0023】

以上のようにして、ページバッファ回路に格納されたデータの全てをメモリセルに書き込むことが可能である。

【0024】

次に、ページバッファ回路を有するフラッシュメモリ500のデータ書き込みを、複数のデータバス幅で制御する場合について説明する。ここでは、一例として、現在主流となっている、8ビットを1バイトとして扱うデータバス（バイトモード）と、16ビットを1ワードとして扱うデータバス（ワードモード）とを、使用者が任意に選択することができるフラッシュメモリのデータ書き込み動作について説明する。ページバッファ回路のサイズは、16ワードまたは32バイトとする。また、ページバッファ回路へのデータ書き込み順序は、先頭のアドレスを除いて任意であり、各データ入力時のアドレスにより、書き込み対象のアドレスが決定されるものとする。

【0025】

フラッシュメモリ500に対して、バイトモードで図11(a)で示すような書き込みパターンが入力されると、ページバッファ回路には、例えば図11(b)に示すようにデータが格納される。例えば、図11(a)に示すWrite Word Addressの1006H、1007H、・・・、100EH、100FHは、それぞれ、図11(b)に示すPage Buffer Addressの6H、7H、・・・、EH、FHに対応し、図11(a)に示すWrite Word Addressの1010H、1011H、・・・、1015H、1016Hは、それぞれ、図11(b)に示すPage Buffer Addressの0H、1H、・・・、5H、6Hに対応する。なお、末尾の' H' は16進数を表す。

【0026】

この例では、外部データバスが8ビットバスと16ビットバスとを切り替える場合であっても、16ビットバスでの動作速度を考慮すると、内部データバスが16ビットで動作するほうが好ましいため、ページバッファ回路についても16ビットバスで動作するように構成している。この入力パターンでは、データ書き込みが行われる先頭アドレスは1006Hの上位バイト(High Byte)=Data0であり、最終アドレスは1016Hの下位バイト(Low Byte)=Data31であり、32バイトのデータが書き込まれる。

【0027】

以上のようにページバッファ回路にデータが格納されると、ページバッファ回路の内部では16ビットバスで動作するため、ページバッファ回路に格納された内容(データ)を読み出すと、内部アドレスに対応して図11(c)に示すようなデータが出力される。この図11(c)に示す1006Hの下位バイトと1016Hの上位バイトのデータは、メモリセルへの書き込みが要求されていないデータであり、これらの書き込みを実行しないための処理が必要になる。

【0028】

図12は、バイトモードおよびワードモードの両方のデータバス幅で制御可能なフラッシュメモリにおける書き込み処理手順を説明するためのフローチャートである。なお、実際には、以下に説明する処理手順以外に、様々な設定、ペリフ

アイ動作、電圧制御などが必要とされるが、書き込み処理に直接的に関係しないものについては、説明を省略している。

【0029】

ステップ7101～ステップ7103の処理は、上記図10のフローチャートに示すステップ7001～ステップ7103の処理と同様である。

【0030】

ステップ7104では、ページバッファ回路への書き込みがバイトモードで行われているか、またはワードモードで行われているかを判定する。ページバッファ回路への書き込みがワードモードで行われている場合には、下位バイト／上位バイトの一方のみをページバッファ回路に書き込むことはないため、ステップ7111の書き込み実行まで進む。

【0031】

一方、ページバッファ回路への書き込みがバイトモードで行われている場合には、ステップ7105からステップ7110において、下位バイト／上位バイトの一方のみ、書き込みを無効にする処理を行う。

【0032】

このうち、ステップ7105からステップ7107では、ページバッファ回路への書き込みが上位バイトから始まるときに、下位バイトの不要な書き込みを禁止する処理を行う。同様に、ステップ7108からステップ7110では、ページバッファ回路への書き込みが下位バイトで終わるときに、上位バイトの不要な書き込みを禁止する。このような書き込み禁止処理を実現するためには、例えば、ステップ7103で読み出されたページバッファ回路のデータの一部をマスクする方法が考えられる。また、バイト毎に書き込みをイネーブルまたはディセーブルにする手段を書き込み制御回路に設けて、そのイネーブル信号またはディセーブル信号を制御する方法などによっても、書き込み禁止処理を実現することができる。

【0033】

以上の処理によって、ステップ7111でメモリセルへのデータ書き込みを実行するときには、ページバッファ回路から読み出された上位バイト／下位バイト

のうち、不要なバイトの書き込みデータを無効にすることができる。

【0034】

対象アドレスへの書き込み完了後の処理であるステップ7112～ステップ7113の処理は、図10に示すフローチャートのステップ7005～ステップ7006の処理と同様である。

【0035】

以上のようにして、バイトモードおよびワードモードに対応してページバッファ回路に格納されたデータの全てをメモリセルに書き込むことが可能である。

【0036】

次に、ページバッファ回路を有するフラッシュメモリ500のデータ書き込みを、複数のデータバス幅で制御する他の例として、ページモード読み出し機能を備え、3種類以上の値をデータとして設定可能な多値メモリセルを用いたフラッシュメモリ（多値フラッシュメモリ）の場合について説明する。ここでは、上記と同様に、バイトモードとワードモードとを、使用者が任意に選択することができるフラッシュメモリのデータ書き込み動作について説明する。

【0037】

多値メモリセルからのデータ読み出しは、一般的に、2種類の値をデータとして設定可能な二値メモリセルからのデータ読み出しよりも時間がかかるため、フラッシュメモリを搭載したシステムの処理性能を低下させないために、複数のメモリセルから同時にデータ読み出しを行うページモード読み出し機能が読み出し回路に設けられているものが多い。また、多値メモリセルへの書き込み処理を速くするため等の理由によって、メモリセルへの書き込みデータを一時的に格納するページバッファ回路が設けられているものが多い。

【0038】

また、多値フラッシュメモリでは、書き込み動作がそれぞれの値を段階的に書き込むための複数のステップに分けられており、それぞれのステップで、現在のメモリセルのデータ格納状態（メモリセルのしきい値電圧）と目標となるデータとから、メモリセルに対してデータ書き込み（書き込みパルスの印加）を行うか否かを判断し、書き込みパルスの強さを調節する必要がある。

【0039】

さらに、多値フラッシュメモリでは、書き込み動作が複数のステップに分けて行われ、ひとつのメモリセルに対するデータ書き込みパルスは二値メモリセルに比べて弱くなるため、一度に多数のメモリセルに対して書き込みを行うことができる可能性がある。このためには、書き込みパターン（書き込みデータ）を一時的にレジスタに格納しておくことが考えられる。以下では、ページモード読み出し機能によって一度に読み出しが可能なメモリセルと同数のメモリセルに対して、同時に書き込みが可能な多値フラッシュメモリの例について説明する。

【0040】

図13は、バイトモードおよびワードモードの両方のデータバス幅で制御可能な多値フラッシュメモリにおける書き込み処理手順を説明するためのフローチャートである。なお、ここでは、多値書き込みを一度だけ実行する処理手順を示しており、実際には同様の処理を繰り返す必要がある。さらに、実際には、以下に説明する処理手順以外に、様々な設定、ベリファイ動作、電圧制御などが必要とされるが、書き込み処理に直接的に関係しないものについては、説明を省略している。

【0041】

まず、ステップ7201において、書き込みパターンを全てクリアする。これにより、後の処理で書き込みを実行するように明確に指示されたメモリセル以外には、書き込みが実行されないようにする。

【0042】

次に、ステップ7202では、メモリアレイを読み出しモードに設定する。多値メモリセルを用いる場合、書き込みを実行するか否かは、現在のメモリセルの状態（メモリセルのしきい値電圧）に依存するため、書き込みを実行する前にメモリセルのデータを読み出す必要がある。

【0043】

次に、ステップ7203では、フラッシュメモリの内部アドレスを、データ書き込みが行われる先頭アドレスに設定する。

【0044】

次に、ステップ7204では、ページ読み出しを行う。これにより、1ページのメモリセルの状態が読み出される。

【0045】

次に、ステップ7205では、ページバッファ回路から、現在の内部アドレスに書き込まれるデータの目標となるデータを読み出す。

【0046】

次に、ステップ7206では、ステップ7205で読み出された目標データと、上記ステップ7204で読み出されたメモリセルの状態とを照らし合わせて、各メモリセルへの書き込みパルス印加の要否を判断し、書き込みパターンを設定する。

【0047】

次に、ステップ7207では、ページバッファ回路への書き込みがバイトモードで行われている場合には、上位バイト／下位バイトの一方のメモリセルへの書き込みを禁止する必要性が生じる可能性があるので、ステップ7210からステップ7215において、下位バイト／上位バイトの一方のみ、書き込みを無効にする処理を行う。このステップ7210～ステップ7215の処理は、図12に示すフローチャートのステップ7105～ステップ7110の処理と同様である。そして、これらの処理の終了後、現在の内部アドレスが、データ書き込みが行われる最終アドレスであるか否かを判断し、最終アドレスである場合には、ステップ7216に進み、また、現在の内部アドレスが最終アドレスではない場合には、ステップ7208に進む。

【0048】

ステップ7208では、現在の内部アドレスが、データ書き込みが行われる最終アドレスであるか、またはページ読み出しで読み出されるページ内の最後のアドレスであれば、ステップ7216へ進む。また、現在の内部アドレスが書き込み最終アドレスまたは読み出しページ内の最後のアドレスではない場合には、ステップ7209で内部アドレスをインクリメントなどの手段によって更新し、ステップ7205の処理に戻る。この処理ループは、内部アドレスが書き込み最終アドレスまたは読み出しページ内の最後のアドレスに達したときには、ステップ

7 2 1 3 およびステップ 7 2 1 4 からの分岐、またはステップ 7 2 0 8 からの分岐により、ステップ 7 2 1 6 に進むことによって終了する。

【 0 0 4 9 】

ステップ 7 2 1 6 では、必要とされる全ての書き込みパターンが既に設定されているので、書き込みパルスを印加する必要があるのか否かを判定する。そして、書き込みが必要なメモリセルが無い場合には、その段階の書き込み処理を終了する。また、書き込みが必要なメモリセルがある場合には、ステップ 7 2 1 7 でメモリアレイを書き込みモードに設定した後、ステップ 7 2 1 8 で書き込みを行う。以上の処理により、メモリセルへの書き込みパルス印加までを行うことができる。

【 0 0 5 0 】

【発明が解決しようとする課題】

上述したように、従来のページバッファ回路を有する半導体記憶装置において、メモリセルへのデータ書き込みを行う際に、ページバッファ回路に格納されたデータが書き込み不要なデータである場合があり、ページバッファ回路から読み出されたデータが有効な書き込みデータであるか否かを判定することが必要になることがある。

【 0 0 5 1 】

このような場合に、従来のフラッシュメモリでは、ページバッファ回路から読み出されたデータを W S M 回路で処理して不要な書き込みデータがメモリセルに書き込まれないようにするため、W S M 回路の制御が複雑化し、また、処理速度が低下する原因となる。

【 0 0 5 2 】

この問題は、複数のデータバス幅で制御可能なフラッシュメモリ、ページモード読み出し機能を備えた多値フラッシュメモリ等の半導体記憶装置において、特に顕著である。

【 0 0 5 3 】

本発明は、このような従来技術の課題を解決するためになされたものであり、W S M 回路による書き込み制御を複雑にすることなく、ページバッファ回路に格

納された書き込み不要なデータがメモリセルに書き込まれないように制御することができ半導体記憶装置を提供することを目的とする。

【 0 0 5 4 】

【課題を解決するための手段】

本発明の半導体記憶装置は、複数のメモリセルを有するメモリアレイと、該メモリセルに書き込まれるデータを一時的に格納するページバッファ手段と、該ページバッファ手段から読み出されたデータの少なくとも一部をマスク可能なマスク手段とを備えており、そのことにより上記目的が達成される。

【 0 0 5 5 】

前記マスク手段は、複数種類のデータバス幅での書き込みに対応してデータの一部をマスク可能とされていてもよい。

【 0 0 5 6 】

前記マスク手段は、前記ページバッファ手段からデータを読み出す際に、該ページバッファ手段からの読み出しが指定されたアドレスと、前記メモリセルへの書き込みが行われる先頭アドレスおよび最終アドレスのそれぞれとの大小を比較する比較手段を備え、該比較手段の比較結果に基づいて、データをマスクするか否かを判定するものであってもよい。

【 0 0 5 7 】

前記マスク手段は、前記ページバッファ手段からデータを読み出す際に、該ページバッファ回路からの読み出しが指定されたアドレスと、前記メモリセルへの書き込みが行われる先頭アドレスおよび最終アドレスのそれぞれとが一致するか否かを判定する一致検出手段を備え、該一致判定手段の判定結果に基づいて、データをマスクするか否かを判定するものであってもよい。

【 0 0 5 8 】

前記マスク手段は、前記メモリセルへの書き込みが行われるデータの数をカウントするカウンタ手段を備え、該カウンタ手段のカウント結果に基づいて、データをマスクするか否かを判定するものであってもよい。

【 0 0 5 9 】

前記マスク手段は、前記ページバッファ手段から読み出されたデータの一部を

マスクする機能を不活性化する不活性化手段を備えていてもよい。

【0060】

前記メモリセルは3種類以上の値をデータとして設定可能な多値メモリセルであり、複数のメモリセルから一度に読み出しを行うページモード読み出し手段を備えていてもよい。

【0061】

以下に、本発明の作用について説明する。

【0062】

本発明にあっては、ページバッファ手段から読み出されるデータの少なくとも一部を、書き込み動作が行われないデータ、例えば消去状態を‘1’、書き込み状態を‘0’と定義する通常のETOX型フラッシュメモリでは‘1’に置き換える（以下、この動作をマスクと称し、データをマスクする機能をマスク機能と称する）ことが可能なマスク手段が設けられている。複数のデータバス幅で制御可能なフラッシュメモリ、ページモード読み出し機能を備えた多値フラッシュメモリ等の半導体記憶装置において、ページバッファ手段からメモリセルへの書き込みが不要なデータが読み出された場合に、マスク手段によって不要なデータをマスクすることができるため、従来のフラッシュメモリのように、ページバッファ回路から読み出されたデータをWSM回路で処理する必要がなく、WSM回路の制御が複雑化することを防ぐことができる。

【0063】

マスクの要否を判断するためには、例えば、ページバッファ手段からの読み出しが指定されたアドレスと、メモリセルへの書き込みが行われる先頭アドレスおよび最終アドレスのそれぞれとの大小を比較した結果を利用することができる。また、ページバッファ手段からの読み出しが指定されたアドレスと、メモリセルへの書き込みが行われる先頭アドレスおよび最終アドレスのそれぞれとが一致するか否かを判定した結果を利用することもできる。さらに、メモリセルへの書き込みが行われるデータの数をカウントした結果を利用することもできる。

【0064】

さらに、上記マスク機能を必要に応じて不活性化する手段を設けて、単一のデ

一タ幅で制御が行われるフラッシュメモリ等のように、マスク機能が不要な場合にはマスク機能を不活性化させることにより、従来の半導体記憶装置と同様の方法によって、ページバッファ回路を利用することが可能となる。

【 0 0 6 5 】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面に基づいて説明する。なお、以下では、ページバッファ回路を用いた書き込み動作に関係する部分についてのみ説明を行っているが、読み出し、消去動作等、他の動作については、従来の半導体記憶装置と同様に行うことができる。

（実施形態 1）

図 1 は、本発明の半導体記憶装置の一実施形態である、ページバッファ回路を有するフラッシュメモリ 1 0 0 について、書き込みに関係する部分の構成を示すブロック図である。

【 0 0 6 6 】

このフラッシュメモリ 1 0 0 は、制御バス 1 0 1、アドレスバス 1 0 2 およびデータバス 1 0 3 を介して外部との間で制御信号、アドレスおよびデータを入出力するようになっている。また、データ書き込みに携わる回路として、U I 回路 1 1 0、ページバッファ回路 1 2 0、WSM 回路 1 3 0、書き込み制御回路 1 4 0、メモリアレイ 1 5 0、読み出し回路 1 6 0 およびページバッファマスク回路 1 7 0 を有している。

【 0 0 6 7 】

このフラッシュメモリ 1 0 0 において、ページバッファ回路 1 2 0 を用いた書き込み動作は、以下のようにして行われる。

【 0 0 6 8 】

フラッシュメモリ 1 0 0 に対して、外部から制御バス 1 0 1、アドレスバ 1 0 2 およびデータバス 1 0 3 を介して書き込み動作、書き込みアドレスおよびデータを指定する各種信号が供給されると、U I 回路 1 1 0 によって指定された内容が解釈される。そして、U I 回路 1 1 0 からページバッファ回路 1 2 0 に対して、メモリアレイ 1 5 0 に含まれるメモリセルに書き込まれる内容（書き込みデー

タ) を格納するように指示する制御信号が制御バス 1 1 1 を介して供給される。

【 0 0 6 9 】

ページバッファ回路 1 2 0 では、制御バス 1 1 1 を介して U I 回路 1 1 0 からの制御信号が供給されると、アドレスバス 1 1 2 を介して指定されるアドレスに対して、データバス 1 1 3 を介して指定されるデータが格納される。そして、ページバッファ回路 1 2 0 に全てのデータが格納されると、U I 回路 1 1 0 から W S M 回路 1 3 0 に対して、書き込み動作の開始を指示する制御信号が制御バス 1 1 4 を介して供給される。

【 0 0 7 0 】

W S M 回路 1 3 0 では、制御バス 1 1 4 を介して U I 回路 1 1 0 からの制御信号が供給されると、W S M 回路 1 3 0 からページバッファ回路 1 2 0 に対して、制御バス 1 3 2 およびアドレスバス 1 3 5 を介してデータの読み出しを指示する制御信号および読み出しアドレスが供給される。ページバッファ回路 1 2 0 では、これらの信号に従って、格納されているデータが読み出され、データバス 1 2 1 を介してページバッファマスク回路 1 7 0 に供給される。

【 0 0 7 1 】

また、W S M 回路 1 3 0 からページバッファマスク回路 1 7 0 に対しては、制御バス 1 3 3 を介して各種信号が供給される。マスク回路 1 7 0 では、制御バス 1 3 3 を介して供給される各種信号に基づいて、必要に応じてページバッファ回路 1 2 0 から出力されたデータの一部が書き込み動作が行なわれないようにマスクされたデータが生成され、データバス 1 7 1 を介して書き込み制御回路 1 4 0 に供給される。

【 0 0 7 2 】

なお、W S M 回路 1 3 0 から制御バス 1 3 3 を介してページバッファマスク回路 1 7 0 に供給される各種信号としては、例えば書き込まれるデータの数、メモリセルへの書き込みが行われる先頭アドレス、書き込みデータ幅などの情報を含む信号が用いられる。また、ここでは特に図示していないが、U I 回路 1 1 0 からこれらの信号が出力されるような構成とすることも可能である。

【 0 0 7 3 】

また、WSM回路130からメモリアレイ150に対しては、アドレスバス135および制御バス136を介してアドレスおよび制御信号が供給される。メモリアレイ150では、これらのアドレスおよび信号がデコーダによりデコードされることによって、書き込み対象のメモリセルに対応するワード線とビット線とが選択され、所望のメモリセルが選択されて書き込みを実行するモードに設定される。

【0074】

さらに、WSM回路130から書き込み制御回路140に対しては、書き込みアドレスがアドレスバス135を介して供給され、メモリアレイ150に含まれるメモリセルにデータを書き込むように指示する制御信号が制御バス134を介して供給される。

【0075】

書き込み制御回路140では、データバス171を介して書き込みパターンが供給され、制御バス134を介してWSM回路130からの制御信号が供給されると、メモリアレイ150に含まれるメモリセルのビット線バス151が制御されて、メモリアレイ150に含まれる書き込み対象のメモリセルに対して書き込み動作が行なわれる。

【0076】

書き込み動作が行われた後、メモリセルが所望のしきい値電圧に到達したか否かを検証するベリファイ動作が必要である場合には、書き込み操作の後に、メモリセルからの読み出し動作が行われ、読み出し回路160によってビット線に流れる電流がセンスされてしきい値電圧が検証される。

【0077】

このベリファイ動作において、WSM回路130からメモリアレイ150に対して、アドレスバス135および制御バス136を介してアドレスおよび信号が供給されることによって、書き込みが実行されたメモリセルが読み出しモードに設定される。また、読み出し回路160では、WSM回路130から制御バス137を介して信号が供給されると、メモリセルに格納されている内容（データ）の読み出しが行われ、その結果がデータバス161を介してWSM130に出力

される。

【 0 0 7 8 】

なお、ペリファイ結果を反映させるための回路構成に関しては、本発明には直接関係が無いため、ここでは詳細な説明は行わないが、例えばデータバス 1 7 1 から供給される書き込み目標のデータと、データバス 1 6 1 から供給される現在の書き込み状況とを比較して、書き込みが全て完了したか否かを判定する回路を設けて、その回路から出力された判定結果が W S M 回路 1 3 0 に供給されるような構成とすることによって、実現することができる。

U I 回路 1 1 0 は、制御バス 1 3 1 から伝えられる書き込み状況を、デバイスの状態遷移判定に利用し、またデータバス 1 0 3 を介して外部に出力できる。

【 0 0 7 9 】

フラッシュメモリ 1 0 0 においては、ページバッファ回路 1 2 0 に格納された全データのメモリアレイ 1 5 0 に対する書き込みが完了するまで、これらの一連の書き込み処理が繰り返して行われるようになっている。

【 0 0 8 0 】

以下に、本実施形態のフラッシュメモリ 1 0 0 において、マスク機能を実現するためのページバッファマスク回路 1 7 0 の構成例について説明する。

【 0 0 8 1 】

図 2 は、フラッシュメモリ 1 0 0 におけるページバッファマスク回路 1 7 0 の一例を示す回路図である。

【 0 0 8 2 】

このページバッファマスク回路 1 7 0 は、8 ビットを 1 バイトとして扱うバイトモード、および 1 6 ビットを 1 ワードとして扱うワードモードの両方に対応可能であり、マスク判定回路 1 0 0 1 によって、上位バイトおよび下位バイトをマスクするマスク機能を制御するようになっている。

【 0 0 8 3 】

このマスク判定回路 1 0 0 1 には、W S M 回路 1 3 0 から制御バス 1 3 3 およびアドレスバス 1 3 5 を介して、メモリセルへの書き込みが行われる先頭ワードアドレス B A D D、メモリセルへの書き込みが行われる最終ワードアドレス E A

DD、現在の内部ワードアドレスCADD、およびCTRLはバイトモードを表す信号などを含む複数の信号の集まりであるCTRLが供給される。なお、これらのマスク判定回路1001に供給される信号は、マスク判定回路1001の仕様、構成等によって異なる。

【0084】

また、ページバッファマスク回路170には、ページバッファ回路120から読み出されたデータがデータバス121を介して供給される。このページバッファ回路120から供給されるデータは、上位バイトがPB[15:8]、下位バイトがPB[7:0]となっている。

【0085】

マスク判定回路1001では、ページバッファ回路120の出力データのうち、上位バイトをマスクするときにはMASKH=H(Highレベル)が出力され、下位バイトをマスクするときにはMASKL=Hが出力される。一方、データをマスクしない場合には、マスク判定回路1001からはL(Lowレベル)が出力される。

【0086】

ページバッファマスク回路170からデータバス171を介して出力されるデータPRG[15:0]は、MASKH=MASKL=LのときにはデータPB[15:0]がマスクされずにそのまま出力されるが、MASKH=HのときにはAND回路1002によってデータPRG[15:8]の全てのビットがLowレベルに変換され、MASKH=LのときにはAND回路1003によってPRG[7:0]の全てのビットがLowレベルに変換される。ここで、データPRG[15:0]がHighレベルのときにメモリセルに書き込みパルスが印加されるように、書き込み制御系を構成しておくことによって、マスク判定回路1001の判定に従って、メモリセルに書き込まれるデータの上位バイト/下位バイトをマスクすることができる。

【0087】

図3(a)は、上記マスク判定回路1001の一例を示す回路図である。

【0088】

このマスク半導体記憶装置知恵回路 1 0 0 1 は、アドレス比較回路 1 1 0 1 および 1 1 0 2 を有している。ここでは、これらのアドレス比較回路 1 1 0 1 および 1 1 0 2 の内部構成については詳細な説明を行わないが、既知の回路によって構成されるアドレスの大小比較および一致判定を行う回路であって、入力される 2 系統のアドレス A および B に対して、 $A = B$ であれば出力 $E = H$ (High レベル) が出力され、 $A > B$ であれば出力 $O = H$ (High レベル) が出力されるようになっている。

【 0 0 8 9 】

アドレス比較回路 1 1 0 2 に入力される B A D D L は、マスク判定回路 1 0 0 1 に入力される先頭ワードアドレス B A D D のうち、最上位を除く下位のアドレスであって、少なくとも読み出し対象となっているページバッファ回路 1 2 0 のアドレスを一意に決定するために十分なビット数を有するものである。同様に、アドレス比較回路 1 1 0 1 および 1 1 0 2 に入力される C A D D L は、現在の内部ワードアドレス C A D D のうち、最上位を除く下位のアドレスであって、少なくとも読み出し対象となっているページバッファ回路 1 2 0 のアドレスを一意に決定するために十分なビット数を有するものである。同様に、アドレス比較回路 1 1 0 2 に入力される E A D D L は、マスク判定回路 1 0 0 1 に入力される最終ワードアドレス E A D D のうち、最上位を除く下位のアドレスであって、少なくとも読み出し対象となっているページバッファ回路 1 2 0 のアドレスを一意に決定するために十分なビット数を有するものである。

【 0 0 9 0 】

また、X N O R 回路 1 1 1 2 ~ 1 1 1 4 に入力される B A D D U、C A D D U および E A D D U は、それぞれ、先頭ワードアドレス B A D D、現在の内部ワードアドレス C A D D および最終ワードアドレス E A D D の最上位アドレスであって、これらに含まれないアドレスは全て、上記 B A D D L、C A D D L および E A D D L に含まれるようになっている。

【 0 0 9 1 】

また、N U M 0、B Y T E および A D D _ 1 の 3 つの信号は、図 2 では制御信号 C T R L としてまとめて示したものである。N U M 0 は、ページバッファ回路

120を用いた書き込みによってメモリセルへの書き込みを行うデータ数を表すデータの最下位ビットであり、偶数個のデータ書き込みが指示されるときにはNUM0=Lとなり、奇数個のデータ書き込みが指示されるときにはNUM0=Hとなる。また、BYTEは、バイトモードであるかワードモードであるかを判別するための信号であり、バイトモードの書き込みではHighレベルになり、ワードモードの書き込みではLowレベルになる。ADD_1は、メモリセルへの書き込みが上位バイトから始まるときにはHighレベルになり、それ以外るときにはLowレベルになる信号である。

【0092】

このような信号をマスク判定回路1001に入力することにより、マスク機能を行うか否かを制御するための制御信号MASKHおよびMASKLを生成することができる。

【0093】

以下に、図3(a)に示すマスク判定回路1001について、さらに詳しく説明する。

【0094】

このマスク判定回路1001の内部に設けられた中間ノードLMASKBは、下位バイトのみをマスクするときにLowレベルとなる信号である。また、中間ノードHMASKBは、上位バイトのみをマスクするときにLowレベルとなる信号である。また、中間ノードHLMASKBは、上位バイトおよび下位バイトの両方をマスクするときにLowレベルとなる信号である。

【0095】

NAND回路1121では、HMASKB=LowレベルまたはHLMASKB=LowレベルのときにMASKH=Highレベルとなる。また、NAND回路1122では、LMASKB=LowレベルまたはHLMASKB=LowレベルのときにMASKL=Highレベルとなる。

【0096】

ここで、NAND回路1119の出力LMASKB=Lowレベルとなるのは、BYTE=Highレベル(バイトモード)、BADDU=CADDU(XN

OR回路1113の出力がHighレベル)、CADDL=BADDL(アドレス比較回路1102の出力BE=Highレベル)、およびADD_1=Highレベルの4つの条件を満たす場合である。これは、バイトモードであり、現在の書き込み対象のワードアドレスCADDが書き込み先頭ワードアドレスBADDであり、書き込みが上位バイトから始まるという状態を示す。この場合には、上位バイトから書き込みが開始されるので、先頭ワードアドレスの書き込みの際に下位バイトの書き込みが行われないようにマスクされる。

【0097】

また、NAND回路1115の出力HMASKB=Lowレベルとなるのは、BYTE=Highレベル(バイトモード)、EADDU=CADDU(XNOR回路の出力がHighレベル)、CADDL=EADDL(アドレス比較回路1101の出力EE=Highレベル)、ADD_1≠NUM0(XOR回路1111の出力がHighレベル)の4つの条件を満たす場合である。これは、バイトモードであり、現在の書き込み対象のワードアドレスCADDが書き込み最終ワードアドレスEADDであり、書き込みが下位バイトで終了するという状態を示す。この場合には、下位バイトで書き込みが終了されるので、最終ワードアドレスの書き込みの際に上位バイトの書き込みが行われないようにマスクされる。

【0098】

また、AND回路1120の出力HLMASKB=Lowレベルとなるのは、以下の3種類の条件のいずれかを満たす場合である。第1の条件は、NAND回路1116の出力がLowレベルとなることであり、この場合の条件は、EADDU=CADDU(XNOR回路1112の出力がHighレベル)、かつ、EADDL<CADDL(アドレス比較回路1101の出力EO=Highレベル)である。この第1条件を満たすときには、現在の書き込み対象のアドレスが最終アドレスを越えているため、上位バイトおよび下位バイトのいずれも書き込みが行われないようにマスクされる。

【0099】

第2の条件は、NAND回路1117の出力がLowレベルとなることであり

、この場合の条件は、 $BADDU = CADDU$ (XNOR回路1113の出力がHighレベル)、かつ、 $BADDL > CADDL$ (アドレス比較回路1102の出力 $BO = High$ レベル)である。この第2条件を満たすときには、現在の書き込み対象のアドレスが先頭アドレスよりも小さいため、上位バイトおよび下位バイトのいずれも書き込みが行われなようにマスクされる。

【0100】

第3の条件は、NAND回路1118の出力がLowレベルとなることであり、この場合の条件は、 $BADDU = EADDU$ (XNOR回路1114の出力がHighレベル)、かつ、 $BADDU \neq CADDU$ (XNOR回路1113の出力 $BO = Low$ レベル)である。この第3条件は、現在の書き込み対象のアドレスが通常の状態では取り得ない範囲にあることを表しているため、この場合には、上位バイトおよび下位バイトのいずれも書き込みが行われなようにするマスクされる。

【0101】

この図3(a)に示すマスク判定回路1001によれば、上位バイト／下位バイトのマスク要否を判定することが可能である。

【0102】

以下に、本実施形態のフラッシュメモリ100において、図3(a)に示すマスク判定回路1001を用いてマスク機能を制御する場合の動作例について、図4および図11を用いて説明する。図11(a)は、ページバッファ回路120を用いて書き込みを行う場合の書き込みパターンの一例を示す図である。

【0103】

この書き込みパターンにおいて、書き込み先頭アドレスBADDは1006Hであり、内部アドレスCADDをこのアドレスにセットしてページバッファ回路120に格納されたデータを読み出すと、下位バイトにはData31が、上位バイトにはData0が出力される。従来技術では、これらの2つのデータのうち、下位バイトをWSM回路530によって制御してディセーブルとしたが、本実施形態では、ページバッファマスク回路170によりマスクする。

【0104】

ここで、ページバッファ回路 1 2 0 のアドレスは 4 ビットであり、BADD、CADD および EADD の大小関係を把握するために、5 ビットのアドレスが使用される。従って、BADDU は BADD の第 5 ビットとなり、EADDU は EADD の第 5 ビットとなる。

【 0 1 0 5 】

BADD=CADD=0 6 H であるので、図 3 (a) に示すマスク判定回路 1 0 0 1 において、アドレス比較回路 1 1 0 2 の出力は、BO=L o w レベル、BE=H i g h レベルとなる。また、CADD=0 6 H であり、EADD=1 6 H であるので、アドレス比較回路 1 1 0 1 の出力は、EO=L o w レベル、EE=L o w レベルとなる。さらに、BADDU≠EADDU、NUM0=L o w、BYTE=H i g h、ADD__1=H i g h であるので、マスク判定回路 1 0 0 1 からは MASKH=L o w レベル、MASKL=H i g h レベルが出力される。これによって、下位バイトがマスクされ、上位バイトはマスクされない。

【 0 1 0 6 】

次のアドレスである 1 0 0 7 H の書き込みを行うときには、BO=L o w レベル、BE=L o w レベルとなるので、MASKH=MASKL=L o w レベルとなり、上位バイトおよび下位バイトともにマスクされない。その後、アドレスを進めても、1 0 1 5 H までは同様に、上位バイトおよび下位バイトともにマスクされない。

【 0 1 0 7 】

その後、アドレスが 1 0 1 6 H になると、EADD=CADD=1 6 H であるので、図 3 (a) に示すマスク判定回路 1 0 0 1 において、アドレス比較回路 1 1 0 1 の出力は、EO=L o w レベル、EE=H i g h レベルとなる。また、CADD=1 6 H であり、BADD=0 6 H であるので、アドレス比較回路 1 1 0 2 の出力は、BO=L o w レベル、BE=L o w レベルとなる。さらに、BADDU≠EADDU、NUM0=L o w、BYTE=H i g h、ADD__1=H i g h であるので、マスク判定回路 1 0 0 1 からは MASKH=H i g h レベル、MASKL=L o w レベルが出力される。これによって、上位バイトがマスクされ、下位バイトはマスクされない。

【 0 1 0 8 】

以上の結果から、ページバッファマスク回路 1 7 0 からの出力データは図 4 (a) に示すようなものとなる。これによって、WSM回路 1 3 0 では、データ幅、アドレス等により上位バイト／下位バイトのデータ書き込みを行うか否かをの判定することが不要となり、WSM回路 1 3 0 による書き込み制御を簡略化することが可能となる。

【 0 1 0 9 】

図 3 (b) は、マスク判定回路 1 0 0 1 の他の例を示す回路図である。なお、この図 3 (b) に示す例および以下の図 3 (c) に示す例では、説明を簡単にするために、固定データ幅に対するマスク機能について説明する。これらのマスク判定回路 1 0 0 1 から出力される信号 M A S K は、データの全ビットをマスクさせるための信号である。

【 0 1 1 0 】

図 3 (b) に示すマスク判定回路 1 0 0 1 は、アドレス比較回路 1 2 0 1、アドレス比較回路 1 2 0 2 およびラッチ回路 1 2 0 3 を有している。

【 0 1 1 1 】

アドレス比較回路 1 2 0 1 およびアドレス比較回路 1 2 0 2 では、2 系統のアドレス A および B が比較され、 $A = B$ であれば出力 $E = H i g h$ レベルが出力され、 $A \neq B$ であれば出力 $E = L o w$ レベルが出力されるようになっている。

【 0 1 1 2 】

ラッチ回路 1 2 0 3 は、信号端子 S に入力されるセット信号によって内部ラッチデータが $H i g h$ レベルにセットされ、信号端子 R に入力されるリセット信号によって内部ラッチデータが $L o w$ レベルにセットされ、内部ラッチデータの値が出力 O として出力されるようになっている。マスク信号 M A S K は、このラッチ回路 1 2 0 3 の出力 O が反転された信号である。

【 0 1 1 3 】

アドレス比較回路 1 2 0 1 に入力されるアドレス B A D D は、メモリセルへの書き込みが行われる先頭ワードアドレスであり、アドレス比較回路 1 2 0 1 および 1 2 0 2 に入力されるアドレス C A D D は、現在の内部ワードアドレスであり

、アドレス比較回路 1 2 0 2 に入力されるアドレス E A D D は、メモリセルへの書き込みが行われる最終ワードアドレスである。この例では、先頭アドレス B A D D および最終アドレス E A D D は固定され、内部アドレス C A D D はインクリメント等によって更新されるようになっている。

【 0 1 1 4 】

また、信号 C L K および信号 I N I T は、図 2 では C R T L としてまとめて記載されている信号である。C L K は、アドレス比較回路 1 2 0 1 および 1 2 0 2 によるアドレス判定が完了した後に H i g h レベルに遷移し、アドレス判定結果がラッチ回路 1 2 0 3 に反映された後に L o w レベルに遷移するクロック信号である。また、I N I T は、ラッチ回路 1 2 0 3 を初期化するための信号である。

【 0 1 1 5 】

このマスク判定回路 1 0 0 1 では、まず、信号 I N I T を H i g h レベルにすることによってラッチ回路 1 2 0 3 がリセットされた後、信号 I N I T が L o w レベルに戻される。このときには、M A S K = H i g h レベルとなり、データがマスクされる。

【 0 1 1 6 】

そして、内部アドレス C A D D が決定された後、信号 C L K を H i g h レベルにすることによってアドレス判定結果がラッチ回路 1 2 0 3 に反映され、その後、信号 C L K が L o w レベルに戻される。

【 0 1 1 7 】

ここで、内部アドレスがインクリメントされて書き込み先頭アドレスに到達し、B A D D = C A D D となると、ラッチ回路 1 2 0 3 がセットされ、M A S K = L o w レベルとなるので、マスク機能は解除される。また、内部アドレスが最終アドレスを超えて C A D D < E A D D となると、ラッチ回路 1 2 0 3 がリセットされ、M A S K = H i g h レベルとなるので、再びマスク機能が有効となる。

【 0 1 1 8 】

この図 3 (b) に示すマスク判定回路 1 0 0 1 によれば、有効な書き込みアドレスに対してのみ、マスクが解除されるようにすることが可能となる。

【 0 1 1 9 】

図 3 (c) は、マスク判定回路 1 0 0 1 のさらに他の例を示す回路図である。

【 0 1 2 0 】

このマスク判定回路 1 0 0 1 は、アドレス比較回路 1 3 0 1、カウンタ回路 1 3 0 2 およびラッチ回路 1 3 0 3 を有している。

【 0 1 2 1 】

アドレス比較回路 1 3 0 1 では、2 系統のアドレス A および B が比較され、 $A = B$ であれば出力 $E = \text{High}$ レベルが出力され、 $A \neq B$ であれば出力 $E = \text{Low}$ レベルが出力されるようになっている。

【 0 1 2 2 】

カウンタ回路 1 3 0 2 は、リセット端子 R に入力されるリセット信号によりリセットされた後、信号 CLK の立ち上がりをカウントして、NUM で示される回数を越えて CLK が Low レベルから High レベルに遷移すると、High レベルが出力 O に出力されるようになっている。

【 0 1 2 3 】

ラッチ回路 1 3 0 3 は、信号端子 S に入力されるセット信号によって内部ラッチデータが High レベルにセットされ、信号端子 R に入力されるリセット信号によって内部ラッチデータが Low レベルにセットされ、内部ラッチデータの値が出力 O として出力されるようになっている。マスク信号 MASK は、このラッチ回路 1 3 0 3 の出力 O が反転された信号である。

【 0 1 2 4 】

アドレス比較回路 1 3 0 1 に入力されるアドレス BADD は、メモリセルへの書き込みが行われる先頭ワードアドレスであり、アドレス比較回路 1 3 0 1 に入力されるアドレス CADD は、現在の内部ワードアドレスである。この例では、先頭アドレス BADD および最終アドレス EADD は固定され、内部アドレス CADD はインクリメント等によって更新されるようになっている。

【 0 1 2 5 】

また、信号 CLK、信号 INIT および信号 NUM は、図 2 では CTRL としてまとめて記載されている信号である。CLK は、内部アドレスが更新される度に 1 回ずつ、Low レベルから High レベル、High レベルから Low レベ

ルに遷移するクロック信号である。また、INITは、ラッチ回路1203を初期化するための初期化信号である。NUMは、書き込みが実行されるデータの数を表すデータ数である。

【0126】

このマスク判定回路1001では、まず、信号INITをHighレベルにすることによってラッチ回路1203がリセットされた後、信号INITがLowレベルに戻される。このときには、MASK=Highレベルとなり、データがマスクされる。

【0127】

そして、内部アドレスがインクリメントされて書き込み先頭アドレスに到達してBADD=CADDとなり、信号信号CLKがHighレベルになると、ラッチ回路1303がセットされ、MASK=Lowレベルとなるので、マスク機能は解除される。

【0128】

それと同時にカウンタ回路1302がリセットされ、それ以降、信号CLKがLowレベルからHighレベルに遷移する回数が、カウンタ回路1302の内部でカウントされる。そして、カウント回数がNUMと一致すると、カウンタ回路1302の出力端子OからHighレベルが出力され、ラッチ回路1303がリセットされてMASK=Highレベルとなるので、再びマスク機能が有効となる。

【0129】

この図3(c)に示すマスク判定回路1001によれば、内部アドレスが先頭アドレスに到達してから、書き込みが行われるデータの数だけ、データがマスクされないようにすることが可能となる。

【0130】

以上のように、アドレスバスの一致回路、大小比較回路、データ数を利用したカウンタ回路などにより、マスク要否を判定することができる。

【0131】

次に、このように構成された本実施形態のフラッシュメモリ100について、

ページバッファ回路 1 2 0 を用いたメモリセルへの書き込み動作について説明する。

【 0 1 3 2 】

図 5 は、本実施形態のフラッシュメモリ 1 0 0 における書き込み処理手順を説明するためのフローチャートである。ここでは、フラッシュメモリ 1 0 0 のデータ書き込みが複数のデータバス幅で制御され、バイトモードおよびワードモードの両方に対応して書き込み操作が可能な場合を一例として、従来技術と同様に、図 1 1 (a) に示すような書き込みパターンを書き込む場合について説明する。なお、実際には、以下に説明する処理手順以外に、様々な設定、ベリファイ動作、電圧制御などが必要とされるが、書き込み処理に直接的に関係しないものについては、説明を省略している。

【 0 1 3 3 】

まず、書き込み処理を実行する前に、ステップ 3 0 0 1 において、メモリアレイを書き込みモードに設定する。

【 0 1 3 4 】

次に、ステップ 3 0 0 2 では、フラッシュメモリ 1 0 0 の内部アドレスを、データ書き込みが行われる先頭アドレスに設定する。

【 0 1 3 5 】

次に、ステップ 3 0 0 3 では、ページバッファ回路に格納されたデータの読み出しを行う。

【 0 1 3 6 】

次に、ステップ 3 0 0 4 では、内部アドレスで示されるメモリセルに対して、ページバッファ回路に格納されたデータに従って、書き込み操作を行う。

【 0 1 3 7 】

ステップ 3 0 0 5 では、現在の内部アドレスが、データ書き込みが行われる最終アドレスであるか否かを判断し、最終アドレスである場合には、一連の書き込み処理を終了する。また、現在の内部アドレスが最終アドレスではない場合には、ステップ 3 0 0 6 で内部アドレスをインクリメントなどの手段によって更新し、ステップ 3 0 0 3 の処理に戻る。この処理ループが、最終アドレスへのデータ

書き込みが完了するまで、繰り返される。

【 0 1 3 8 】

以上のようにして、ページバッファ回路に格納されたデータの全てをメモリセルに書き込むことが可能である。

【 0 1 3 9 】

この図 5 に示すフローチャートは、図 1 0 に示す従来技術のフローチャートと同様であるが、本実施形態では、このような簡単な処理手順によって、バイトモードおよびワードモードの両方に対応することができる。これに対して、従来技術では、このようにワードモードおよびバイトモードの両方に対応するためには、図 1 2 のフローチャートを用いて説明したように、複雑な制御が必要である。

【 0 1 4 0 】

以下に、本実施形態のフラッシュメモリにおいて、複数のデータバス幅による制御を簡単な処理手順によって行うことが可能となる理由について、図 4 および図 1 1 を用いて説明する。

【 0 1 4 1 】

従来技術において、ページバッファ回路から出力されるデータは、図 1 1 (c) に示すようなパターンになり、1 0 0 6 H の下位バイト (L o w B y t e) および 1 0 1 6 H の上位バイト (H i g h B y t e) に、書き込まれるべきではないデータが出力されることになる。従って、従来技術では、これらの書き込まれるべきではないデータを処理するために、W S M 回路を特別に制御することが必要である。

【 0 1 4 2 】

これに対して、本実施形態では、ページバッファマスク回路 1 7 0 から出力されるデータ (P a g e B u f f e r R e a d A d d r e s s) は、図 4 (a) に示すようなパターンになり、1 0 0 6 H の下位バイトおよび 1 0 1 6 H の上位バイトは、書き込みが実行されないようにマスクされることになる。従って、このデータを元にメモリセルへの書き込みを行っても、これらの書き込むべきではない 2 バイトには書き込みが行われない。

【 0 1 4 3 】

以上のように、本実施形態によれば、ページバッファ回路 1 2 0 から出力されるデータをマスクするページバッファマスク回路 1 7 0 を設けることによって、W S M 回路による制御を複雑にすることなく、複数種類のデータバス幅による制御に対応することができる。

【 0 1 4 4 】

(実施形態 2)

図 6 は、本発明の半導体記憶装置の他の実施形態であるページバッファ回路を有するフラッシュメモリ 2 0 0 について、書き込みに関係する部分の構成を示すブロック図である。なお、図 1 に示す実施形態 1 のフラッシュメモリ 1 0 0 と同様の機能を有する部分については、同じ符号を付している。

【 0 1 4 5 】

このフラッシュメモリ 2 0 0 は、多値フラッシュメモリ 2 0 0 であり、データ書き込みに携わる回路として、U I 回路 1 1 0、ページバッファ回路 1 2 0、W S M 回路 1 3 0、書き込み制御回路 1 4 0、メモリアレイ 2 5 0、読み出し回路 1 6 0、ページバッファマスク回路 1 7 0 およびデータ論理回路 2 8 0 を有している。

【 0 1 4 6 】

このフラッシュメモリ 2 0 0 において、ページバッファ回路 1 2 0 を用いた書き込み動作は、以下のようにして行われる。なお、実施形態 1 で説明したフラッシュメモリ 1 0 0 へのページバッファ回路を用いた書き込み動作と共通の部分については、ここでは説明を省略する。

【 0 1 4 7 】

多値フラッシュメモリは、二値フラッシュメモリと比較すると、メモリセルの状態（メモリセルのしきい値電圧）を厳密に制御する必要があるため、書き込み時間が長くなる。また、多値フラッシュメモリでは、書き込み動作が複数のステップに分けて行われ、ひとつのメモリセルに対するデータ書き込みパルスは二値メモリセルに比べて弱くなるため、同時に多数のメモリセルに対して書き込みを行うことができる可能性がある。そこで、本実施形態では、一例として、フラッシュメモリ 2 0 0 が 4 種類の値をデータとして格納可能であり、4 ワード分の

メモリセル（＝64ビット＝32メモリセル）への書き込みが一度に可能であるものとして説明を行う。

【0148】

多値メモリセルでは、メモリセルに対して書き込みレベル（メモリセルのしきい値電圧）を厳密に制御する必要があるので、過剰な書き込みは許されない。従って、一般には、現在のメモリセルの状態と最終的なメモリセルの状態の目標とを照らし合わせて、書き込みパルスを印加するか否かを決定するか、または、メモリセルの状態によって書き込みパルスの強さなどを調節するようになっている。そのため、二値フラッシュメモリと異なり、書き込みパルスを決定するときには、常に、メモリセルへの読み出し操作が行われる。

【0149】

メモリアレイ250では、WSM回路130からアドレスバス135を介して供給される内部アドレスによって指定されるメモリセルが、制御バス136を介して供給される制御信号により活性化される。また、読み出し回路160では、WSMから制御バス137を介して供給される制御信号に従って、ビット線バス151を介して書き込み対象メモリセルの状態の読み出しが行なわれ、読み出した結果がデータバス261を介してデータ論理回路280に供給される。ここで、メモリセルの選択、読み出し回路の動作については、実施形態1のフラッシュメモリ100と同様に行われる。

【0150】

また、ページバッファ回路120に格納されたデータは、実施形態1と同様に、必要に応じてページバッファマスク回路170によってマスクされ、データバス171を介してデータ論理回路280に供給される。

【0151】

データ論理回路280では、現在のメモリセルの状態を表すデータと最終的な目標となるデータとが供給されると、各メモリセルに書き込みパルス进行印加するか否か、または各メモリセルへの書き込みパルスの強さ等が判断され、判断結果がデータバス281を介してWSM回路130に供給される。

【0152】

WSM回路130では、データ論理回路280による書き込みパルス印加の要否、各メモリセルへの書き込みパルスの強さ等の判断結果が供給されると、データバス238を介して書き込み回路140に書き込みパルスデータが供給される。

【0153】

書き込み回路140では、データバス238を介して供給された書き込みパルスデータが内部のレジスタに蓄えられる。本実施形態では、32個のメモリセルに一度に書き込みを行うことができるので、レジスタに32個のデータが蓄えられてからメモリセルへの書き込みが行われる。

【0154】

一例として、ページバッファ回路120を用いた書き込みが最大16ワードまたは32バイトまで可能であり、ページ読み出し機能によって一度に読み出すことが可能なデータが4ワードである場合、ページバッファマスク回路170として実施形態1で説明した図2に示す回路を用い、そのマスク判定回路として図3に示す回路を用いることによって、実施形態1では使用されなかったアドレス領域に対してもマスクすることが可能である。この場合、ページバッファ回路220から読み出されてページバッファマスク回路170によってマスク処理された後のデータは図4（b）に示すようなものとなる。

【0155】

データ論理回路280では、4ワード単位で書き込みパルス印加の要否、各メモリセルへの書き込みパルスの強さ等の判断が行われるが、例えば、図4（b）に示すPage Buffer Read Addressの16Hおよび17Hでは、Page Buffer Read Address 17Hの上位バイトおよび下位バイトがマスクされたものが供給される。

【0156】

このように、書き込みが不要なデータが全てマスクされることによって書き込みパルスの印加を停止させることができるため、書き込み動作の制御を非常に簡潔に行うことが可能である。

【0157】

次に、このように構成された本実施形態のフラッシュメモリ200について、ページバッファ回路120を用いたメモリセルへの書き込み動作について説明する。

【0158】

図7は、本実施形態のフラッシュメモリ200における書き込み処理手順を説明するためのフローチャートである。なお、実際には、以下に説明する処理手順以外に、様々な設定、ベリファイ動作、電圧制御などが必要とされるが、書き込み処理に直接的に関係しないものについては、説明を省略している。

【0159】

まず、ステップ3103において、書き込みレジスタにセットされている書き込みパターンを全てクリアする。これにより、後の処理で書き込みパルス印加までに書き込みレジスタに明示的にセットされるメモリセル以外には、書き込みパルスが印加されないようにする。

【0160】

次に、ステップ3102では、フラッシュメモリの内部ページアドレスを、ページ内の先頭ワードアドレスに設定する。これ以後の動作はページ単位で実行されるので、各動作の区切りでは、内部ページアドレスが必ずページ内の先頭ワードのアドレスとなる。

【0161】

次に、ステップ3103で、メモリアレイを読み出しモードに設定する。多値メモリセルを用いる場合、書き込みを実行するか否かは、現在のメモリセルの状態（メモリセルのしきい値電圧）に依存するため、書き込みを実行する前にメモリセルのデータを読み出す必要がある。。

【0162】

次に、ステップ3104では、メモリセルの読み出しを実行する。このとき、ページに含まれる全メモリセルのデータ読み出しが実行される。

【0163】

次に、ステップ3105で、ページバッファ回路から、現在の内部アドレスに書き込まれるデータの目標となるデータを読み出す。このとき、ページバッファ

マスク回路によるマスク機能により、書き込みが不要な部分のデータは、全て、書き込みパルスが印加されないようにマスクされる。

【0164】

次に、ステップ3106では、ステップ3104で読み出された現在のメモリセルの状態と、ステップ3105で読み出されたページバッファ回路のデータとから、書き込みパターンが決定され、決定された書き込みパターンが書き込みレジスタに登録される。このとき、ページバッファマスク回路によりマスクされたメモリセルの書き込みパターンは、書き込みが実行されない状態となる。

【0165】

次に、ステップ3107では、現在の内部アドレスがページ内の最後のワードアドレスであるか否かが判定され、ページ内の最後のワードでない場合には、ステップ3108で内部アドレスをインクリメント等の手段によって次のワードアドレスに更新し、ステップ3104の処理に戻る。また、現在の内部アドレスがページ内の最後のワードアドレスである場合には、ステップ3109に進む。

【0166】

ステップ3109では、必要とされる全ての書き込みパターンが既に設定されているので、書き込みパルスを印加する必要があるか否かを判定する。そして、書き込みが必要なメモリセルが無い場合には、そのステップの書き込みを終了する。また、書き込みが必要なメモリセルがある場合には、ステップ3110でメモリアレイを書き込みモードに設定した後、ステップ3111で書き込みを行う。以上の処理により、メモリセルへの書き込みパルス印加までを行うことができる。

【0167】

次に、ステップ3112では、内部アドレスを再びページ内の先頭ワードアドレスに設定し、ステップ3103へ戻る。

【0168】

以上のような処理手順で、多値フラッシュメモリへの書き込み動作を行うことができる。

【0169】

図 7 に示すフローチャートから明らかなように、本実施形態では、ページバッファ回路に格納されたデータのうち、不要な部分はページバッファマスク回路によってマスクされるので、図 1 3 のフローチャートを用いて説明した従来技術による多値フラッシュメモリへの書き込み動作と比較して、データバス幅の判定、現在のアドレスの判定などの処理を大幅に削減することができ、WSM 回路による制御を飛躍的に簡潔化することができる。

【 0 1 7 0 】

(実施形態 3)

図 8 は、本実施形態のフラッシュメモリにおけるページバッファマスク回路 2 7 0 の構成例を示す回路図である。

【 0 1 7 1 】

このページバッファマスク回路 2 7 0 は、実施形態 1 で説明した図 2 に示すページバッファマスク回路 1 7 0 と同様に、8 ビットを 1 バイトとして扱うバイトモード、および 1 6 ビットを 1 ワードとして扱うワードモードの両方に対応可能であり、マスク判定回路 1 0 0 1 によって、上位バイトおよび下位バイトをマスクするマスク機能を制御するようになっている。

【 0 1 7 2 】

DSMASK は、マスク機能を無効にする信号であり、インバーター回路を介して AND 回路 4 0 0 2 および 4 0 0 3 に供給される。この DSMASK を High レベルにすることによって、AND 回路 4 0 0 2 および 4 0 0 3 からそれぞれ出力される、ページバッファ回路 1 2 0 からの出力データの上位バイト／下位バイトのそれぞれをマスクする信号 MASKH および MASKL は、常に Low レベルとなる。従って、マスク判定回路 1 0 0 1 からの出力 1 0 0 6 および 1 0 0 7 に関わらず、ページバッファ回路 1 2 0 からの出力データはマスクされない。また、DSMASK を Low レベルにすることによって、上記実施形態 1 および実施形態 2 で説明したマスク機能をそのまま利用することができる。

【 0 1 7 3 】

このように、マスク機能を不活性化する手段を設けることによって、例えば、上記実施形態 1 および実施形態 2 のような最終アドレスの演算、先頭アドレスの

セット等を行わずに、従来のページバッファ回路と同様、ページバッファ回路に格納されている全てのデータを自由に取り出すことが可能となる。このマスク不活性化機能によって、例えばページバッファ回路のテスト時などには、現在の内部アドレスなどを考慮せずにページバッファ回路に格納されたデータ内容の読み出しを行うことができる。従って、本発明の半導体記憶装置において、従来の半導体記憶装置と同様に、デバイスのテストが可能となり、評価の利便性低下を防ぐことができる。

【 0 1 7 4 】

【発明の効果】

以上説明したように、本発明によれば、メモリセルに書き込まれるデータを一時的に格納するページバッファ手段を有する半導体記憶装置において、ページバッファ手段から読み出されるデータの一部をマスクするマスク手段を設けることによって、書き込み処理の高速化、WSM回路による書き込み制御の簡略化を図ることができる。

【 0 1 7 5 】

特に、複数のデータバス幅に対応可能な半導体記憶装置に適用することによって、バス幅を考慮せずにWSM回路の処理を実行することが可能である。また、ページモード読み出しに対応した多値メモリセルに対する書き込み制御に対しても、非常に有効である。

【 0 1 7 6 】

さらに、マスク機能を不活性化する手段を設けることによって、従来と同様のページバッファ手段を用いた書き込み処理を行うこともできる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態である半導体記憶装置の構成を示すブロック図である。

【図 2】

本発明の半導体記憶装置におけるページバッファマスク回路の構成例を示す回路図である。

【図 3】

(a) ~ (c) は、それぞれ、本発明の半導体記憶装置におけるマスク判定回路の構成例を示す回路図である。

【図 4】

(a) および (b) は、それぞれ、実施形態 1 および実施形態 2 の半導体記憶装置において、ページバッファ回路からの読み出しデータをページバッファマスク回路でマスクした状態を示す図である。

【図 5】

実施形態 1 の半導体記憶装置におけるページバッファ回路を用いた書き込み動作の処理手順を説明するためのフローチャートである。

【図 6】

実施形態 2 の半導体記憶装置の構成を示すブロック図である。

【図 7】

実施形態 2 の半導体記憶装置におけるページバッファ回路を用いた書き込み動作の処理手順を説明するためのフローチャートである。

【図 8】

実施形態 3 の半導体記憶装置におけるページバッファマスク回路の構成を示す回路図である。

【図 9】

従来の半導体記憶装置の構成を示すブロック図である。

【図 1 0】

従来の半導体記憶装置におけるページバッファ回路を用いた書き込み動作の処理手順を説明するためのフローチャートである。

【図 1 1】

(a) はメモリセルへの書き込みパターンの一例を示す図であり、(b) はページバッファ回路に格納されたデータを示す図であり、(c) はページバッファ回路から読み出されてメモリセルに書き込まれるデータを示す図である。

【図 1 2】

従来の半導体記憶装置におけるページバッファ回路を用いた書き込み動作の他の処理手順を説明するためのフローチャートである。

【図 1 3】

従来の半導体記憶装置におけるページバッファ回路を用いた書き込み動作の他の処理手順を説明するためのフローチャートである。

【符号の説明】

1 0 0、2 0 0、5 0 0	・・・	フラッシュメモリ
1 0 1、5 0 1	・・・	制御バス
1 0 2、5 0 2	・・・	アドレスバス
1 0 3、5 0 3	・・・	データバス
1 1 0、5 1 0	・・・	U I 回路
1 1 1、5 1 1	・・・	制御バス
1 1 2、5 1 2	・・・	アドレスバス
1 1 3、5 1 3	・・・	データバス
1 1 4、5 1 4	・・・	制御バス
1 1 0、5 1 0	・・・	U I 回路
1 2 0、5 2 0	・・・	ページバッファ回路
1 2 1、5 2 1	・・・	データバス
1 3 0、5 3 0	・・・	W S M 回路
1 3 1、5 3 1	・・・	制御バス
1 3 2、5 3 2	・・・	制御バス
1 3 3	・・・	制御バス
5 3 3	・・・	データバス
1 3 4、5 3 4	・・・	制御バス
1 3 5、5 3 5	・・・	アドレスバス
1 3 6、5 3 6	・・・	制御バス
1 3 7、5 3 7	・・・	制御バス
2 3 8	・・・	データバス
1 4 0、5 4 0	・・・	書き込み制御回路
1 5 0、2 5 0、5 5 0	・・・	メモリアレイ
1 5 1、5 5 1	・・・	ビット線バス

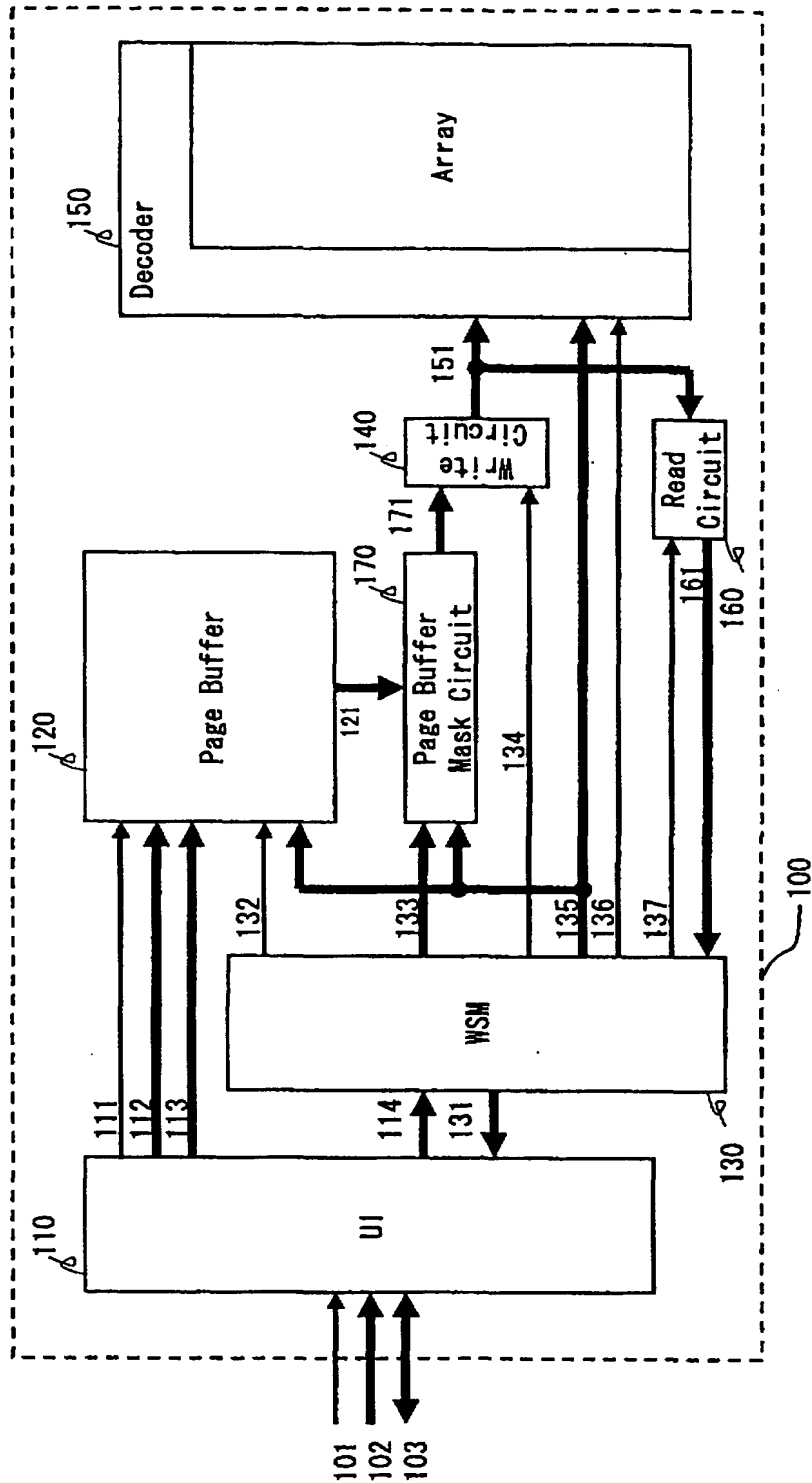
160、560 . . . 読み出し回路
161、261、561 . . . データバス
170、270 . . . ページバッファマスク回路
171 . . . データバス
280 . . . データ論理回路
281 . . . データバス
1001 マスク判定回路
1002、1003、4002、4003 AND回路
1101、1102、1201、1202、1301、1302 アドレス比

較回路

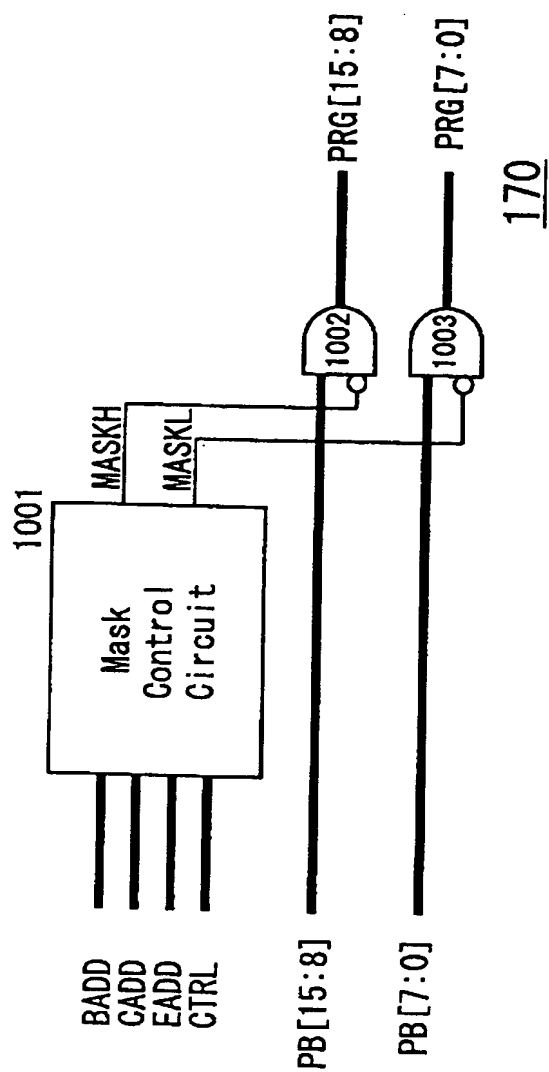
1111~1114 XNOR回路
1115~1122 NAND回路
1203、1303 ラッチ回路

【書類名】 図面

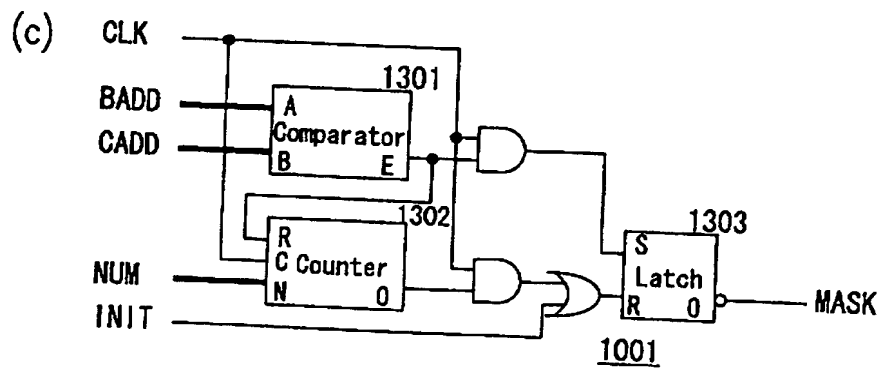
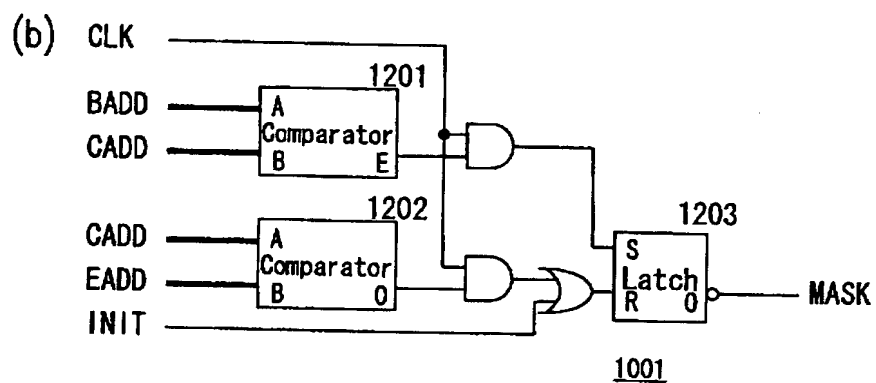
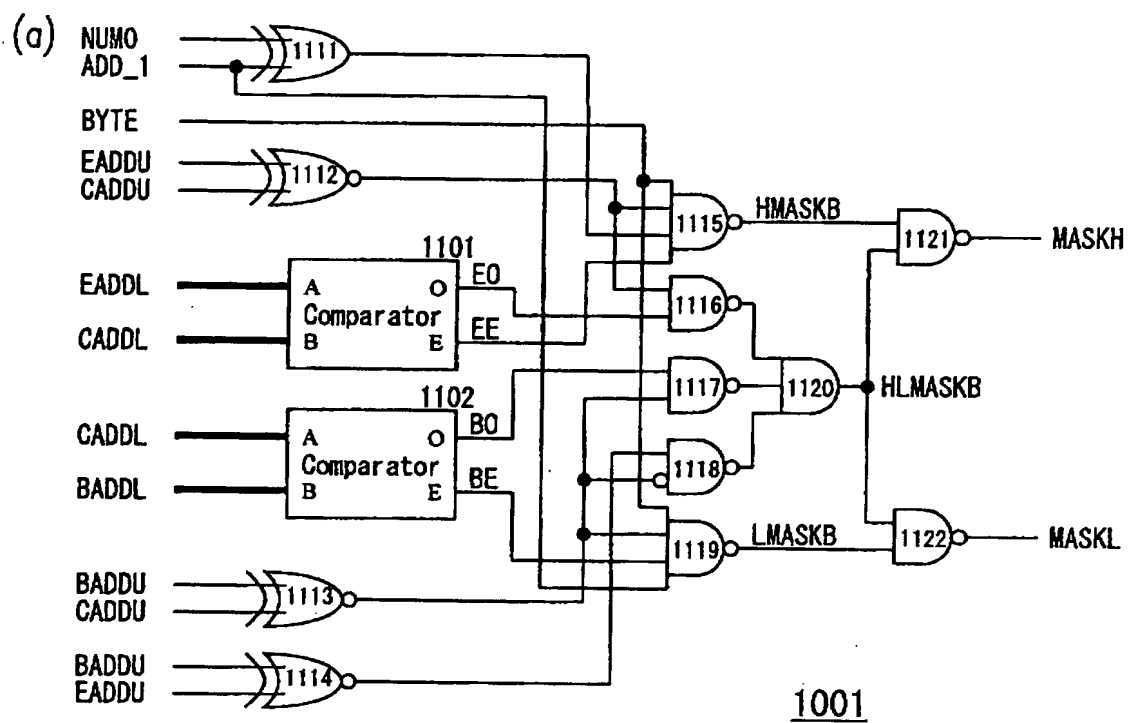
【図 1】



【図 2】



【図 3】



【図 4】

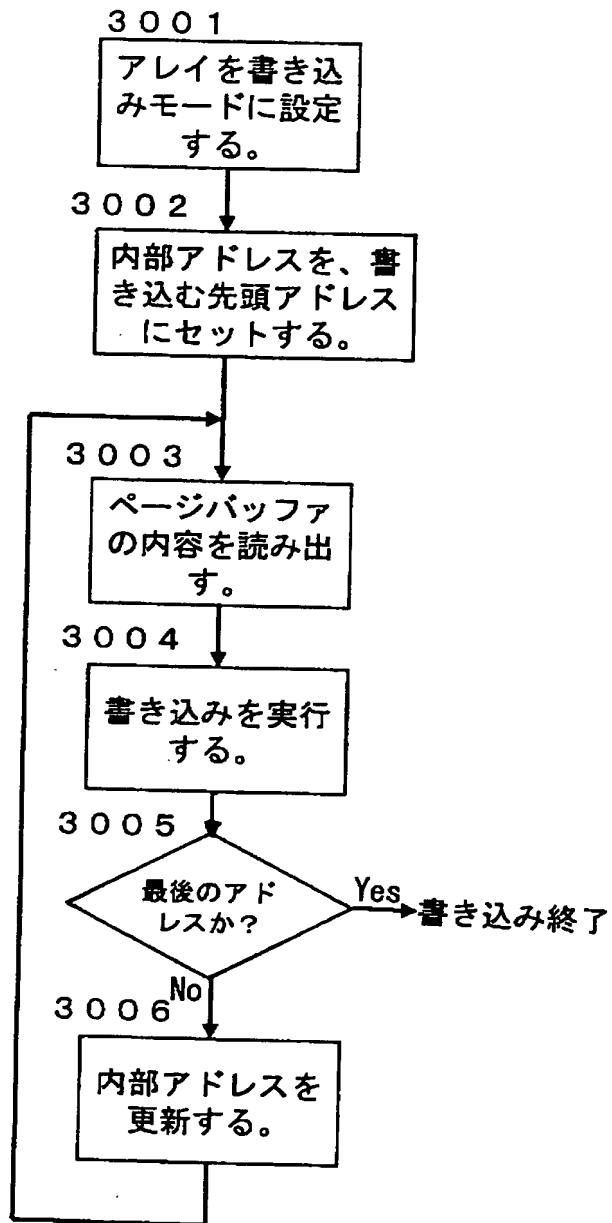
(a)

Page Buffer Read Address	Page Buffer Output Data (Low Byte)	Page Buffer Output Data (High Byte)
06H	Masked Data	Data0
07H	Data1	Data2
08H	Data3	Data4
09H	Data5	Data6
0AH	Data7	Data8
0BH	Data9	Data10
0CH	Data11	Data12
0DH	Data13	Data14
0EH	Data15	Data16
0FH	Data17	Data18
10H	Data19	Data20
11H	Data21	Data22
12H	Data23	Data24
13H	Data25	Data26
14H	Data27	Data28
15H	Data29	Data30
16H	Data31	Masked Data

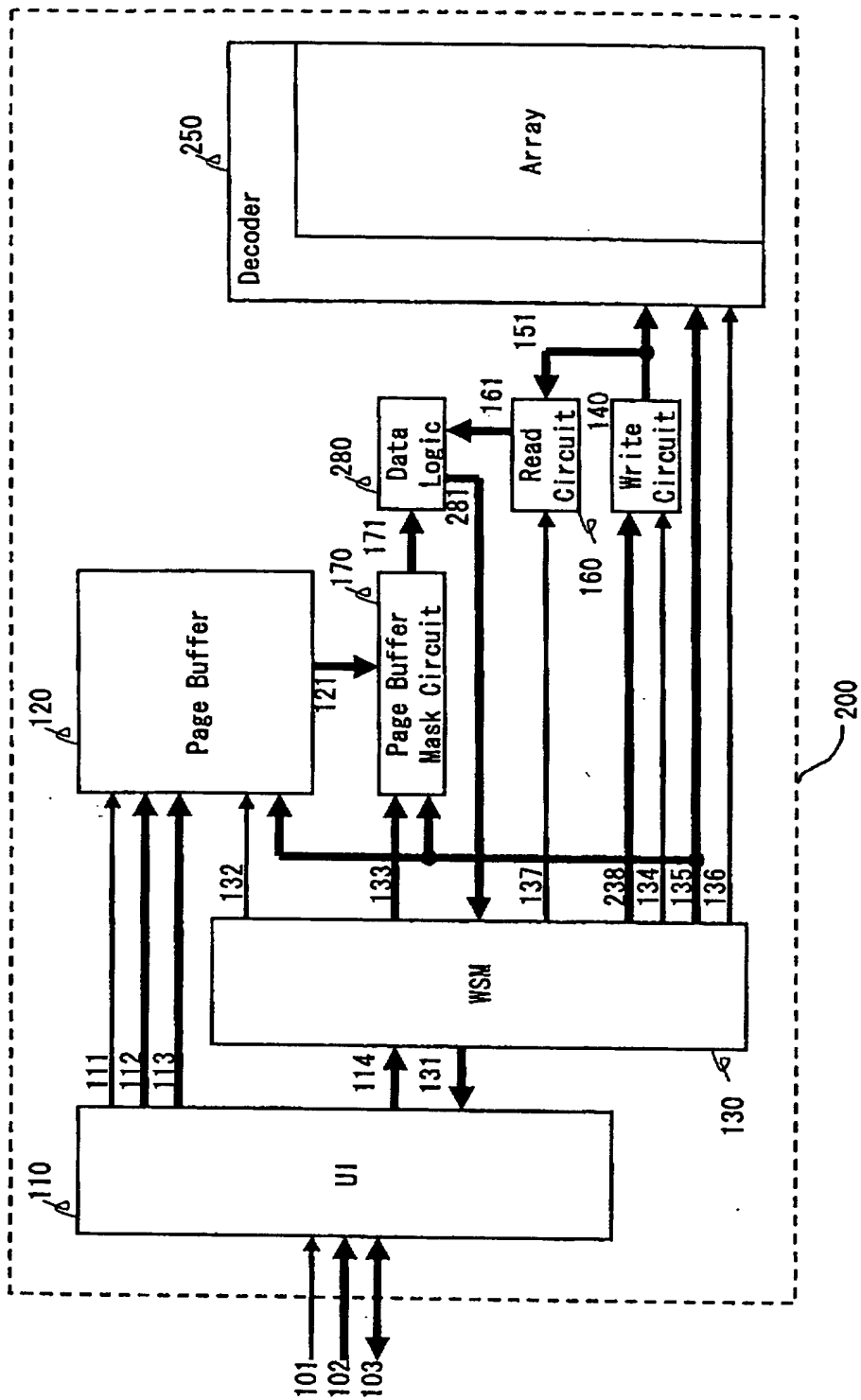
(b)

Page Buffer Read Address	Page Buffer Output Data (Low Byte)	Page Buffer Output Data (High Byte)
04H	Masked Data	Masked Data
05H	Masked Data	Masked Data
06H	Masked Data	Data0
07H	Data1	Data2
08H	Data3	Data4
09H	Data5	Data6
0AH	Data7	Data8
0BH	Data9	Data10
0CH	Data11	Data12
0DH	Data13	Data14
0EH	Data15	Data16
0FH	Data17	Data18
10H	Data19	Data20
11H	Data21	Data22
12H	Data23	Data24
13H	Data25	Data26
14H	Data27	Data28
15H	Data29	Data30
16H	Data31	Masked Data
17H	Masked	Masked Data

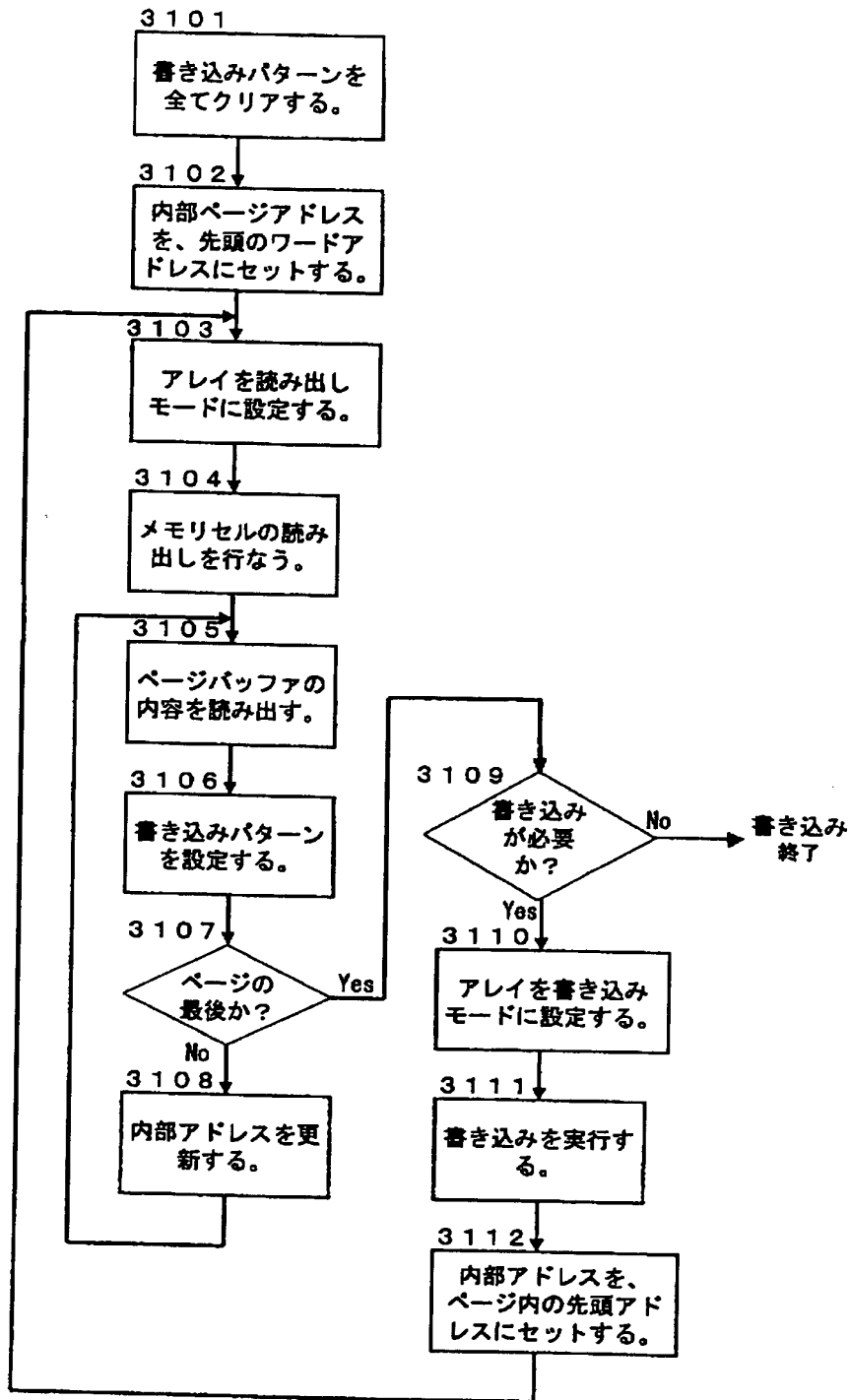
【図5】



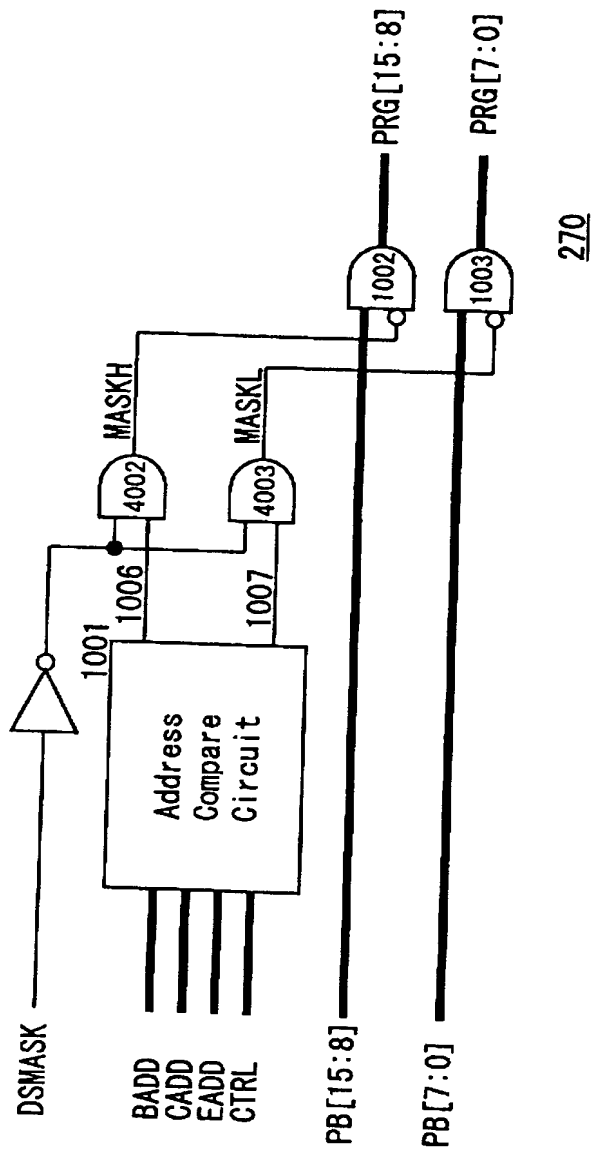
【図 6】



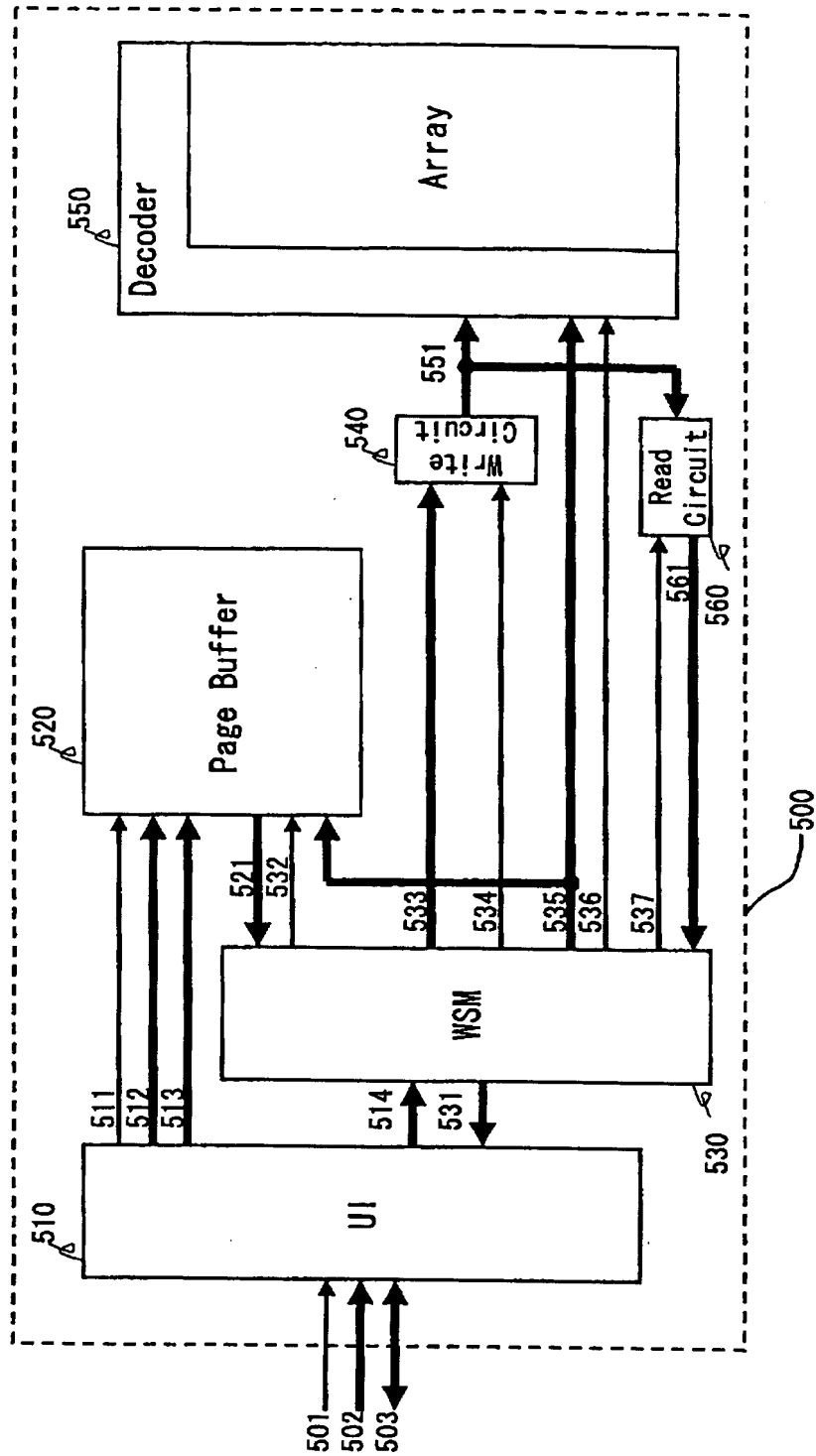
【図 7】



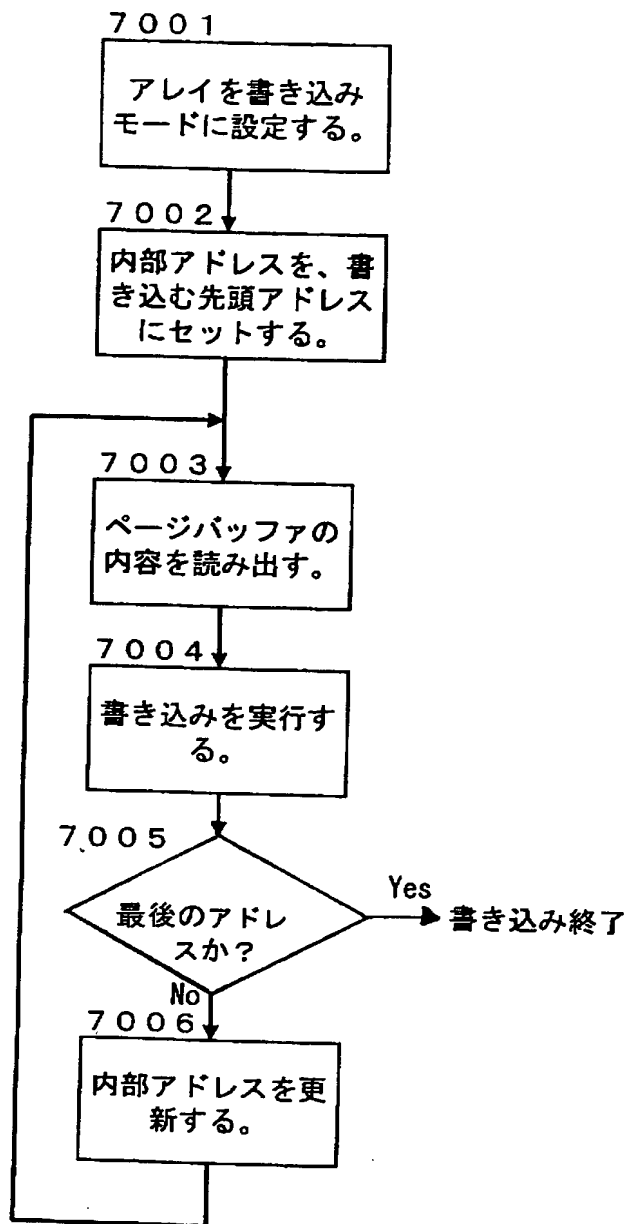
【図 8】



【図 9】



【図 1 0】



【図 11】

(a)

Write Word Address	Write Data (Low Byte)	Write Data (High Byte)
1006H	-	Data0
1007H	Data1	Data2
1008H	Data3	Data4
1009H	Data5	Data6
100AH	Data7	Data8
100BH	Data9	Data10
100CH	Data11	Data12
100DH	Data13	Data14
100EH	Data15	Data16
100FH	Data17	Data18
1010H	Data19	Data20
1011H	Data21	Data22
1012H	Data23	Data24
1013H	Data25	Data26
1014H	Data27	Data28
1015H	Data29	Data30
1016H	Data31	-

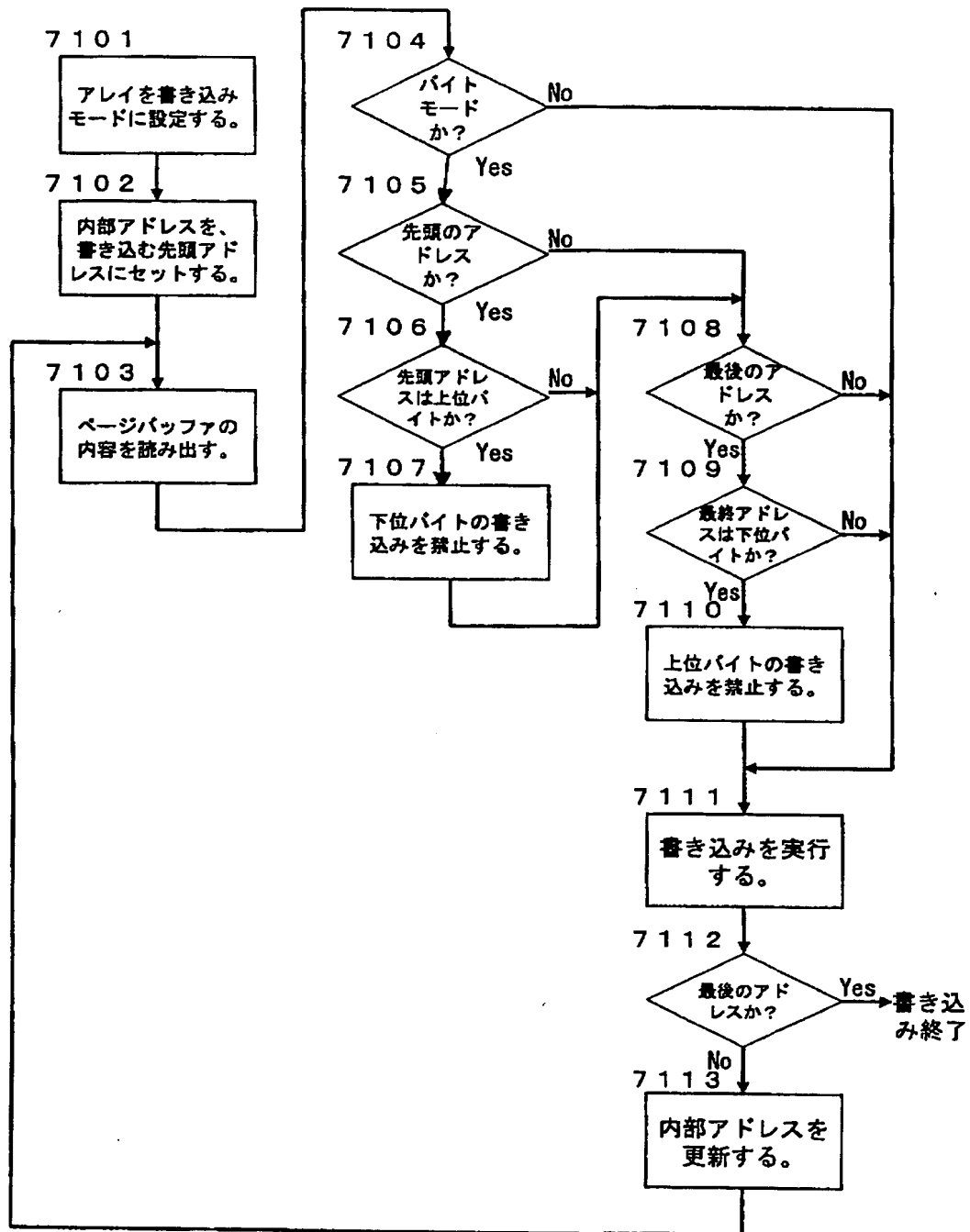
(b)

Page Buffer Address	Page Buffer Data (Low Byte)	Page Buffer Data (High Byte)
0H	Data19	Data20
1H	Data21	Data22
2H	Data23	Data24
3H	Data25	Data26
4H	Data27	Data28
5H	Data29	Data30
6H	Data31	Data0
7H	Data1	Data2
8H	Data3	Data4
9H	Data5	Data6
AH	Data7	Data8
BH	Data9	Data10
CH	Data11	Data12
DH	Data13	Data14
EH	Data15	Data16
FH	Data17	Data18

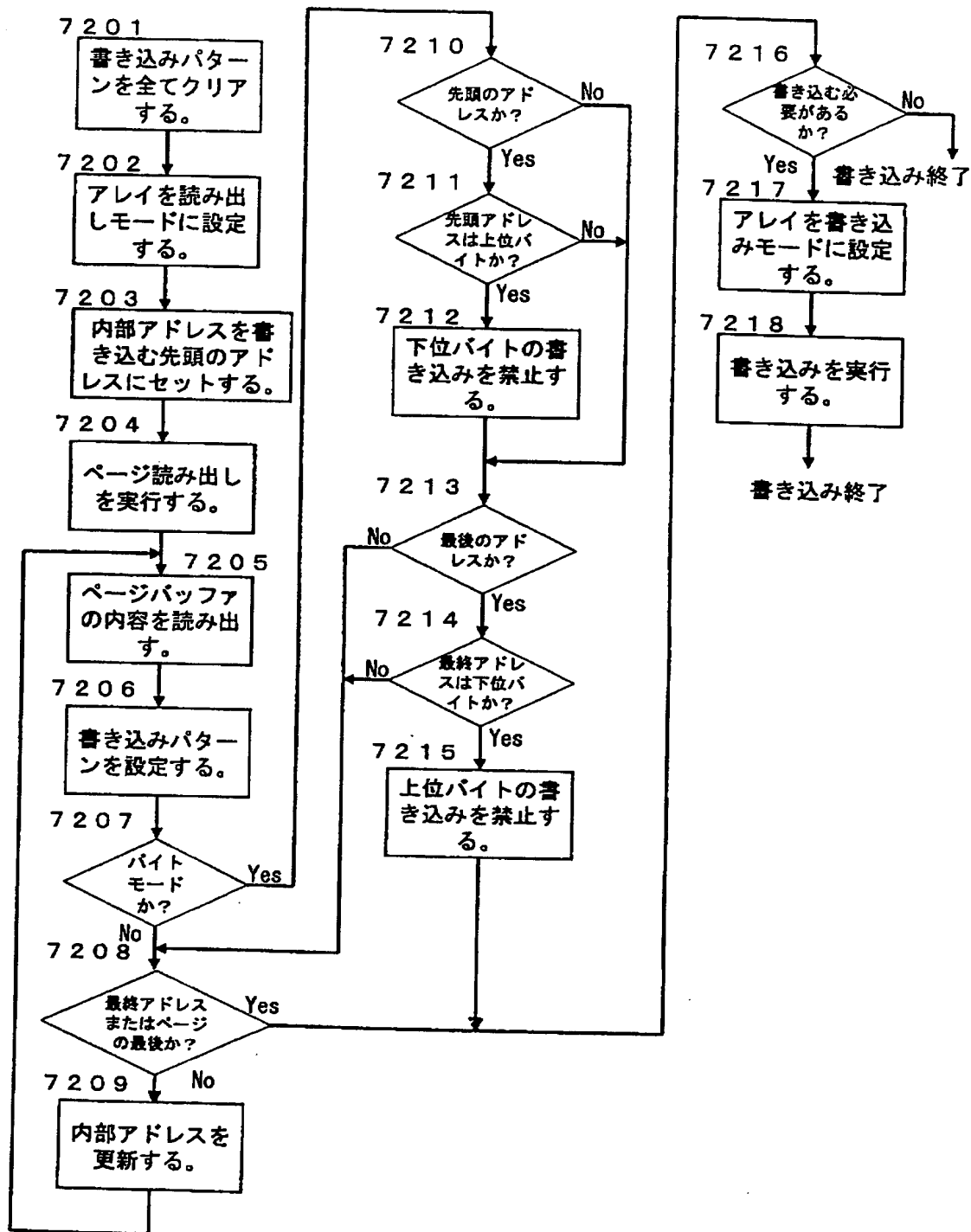
(c)

Write Word Address	Write Data (Low Byte)	Write Data (High Byte)
1006H	Data31	Data0
1007H	Data1	Data2
1008H	Data3	Data4
1009H	Data5	Data6
100AH	Data7	Data8
100BH	Data9	Data10
100CH	Data11	Data12
100DH	Data13	Data14
100EH	Data15	Data16
100FH	Data17	Data18
1010H	Data19	Data20
1011H	Data21	Data22
1012H	Data23	Data24
1013H	Data25	Data26
1014H	Data27	Data28
1015H	Data29	Data30
1016H	Data31	Data0

【図 12】



【图 13】



【書類名】 要約書

【要約】

【課題】 W S M回路による書き込み制御を複雑にすることなく、ページバッファ回路に格納された書き込み不要なデータがメモリセルに書き込まれないように制御する。

【解決手段】 ページバッファ回路 1 2 0 から読み出されるデータの少なくとも一部を、書き込み動作が行われないデータに置き換えるマスク回路 1 7 0 を設ける。複数のデータバス幅で制御可能なフラッシュメモリ、ページモード読み出し機能を備えた多値フラッシュメモリ等において、ページバッファ回路 1 2 0 からメモリセルへの書き込みが不要なデータが読み出された場合に、マスク回路 1 7 0 で書き込み動作が行われないデータに置き換えることによって、メモリセルに書き込まれないようにする。マスクの要否を判断するためには、アドレスの大小比較判定、アドレスの一致判定、書き込まれるデータ数等が利用される。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-195025
受付番号	50200976869
書類名	特許願
担当官	第七担当上席 0096
作成日	平成 14 年 7 月 4 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005049
【住所又は居所】	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
【氏名又は名称】	シャープ株式会社

【代理人】

申請人

【識別番号】	100078282
【住所又は居所】	大阪市中央区城見 1 丁目 2 番 2 7 号 クリスタル タワー 1 5 階
【氏名又は名称】	山本 秀策

【選任した代理人】

【識別番号】	100062409
【住所又は居所】	大阪府大阪市中央区城見 1 丁目 2 番 2 7 号 クリ スタルタワー 1 5 階 山本秀策特許事務所
【氏名又は名称】	安村 高明

【選任した代理人】

【識別番号】	100107489
【住所又は居所】	大阪市中央区城見一丁目 2 番 2 7 号 クリスタル タワー 1 5 階 山本秀策特許事務所
【氏名又は名称】	大塩 竹志

次頁無

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 大阪府大阪市阿倍野区长池町22番22号
氏 名 シャープ株式会社